

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-353878

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

G11C	11/407
H03K	5/135
H03L	7/00
H04L	7/00
// G06F	1/10

(21)Application number : 11-086851 (71)Applicant : FUJITSU LTD  
(22)Date of filing : 29.03.1999 (72)Inventor : KANO HIDEKI  
MATSUMIYA MASATO  
ETO SATOSHI  
TAKITA MASAHIITO  
KITAMOTO AYAKO  
NAKAMURA TOSHIKAZU  
KAWABATA KUNINORI  
HASEGAWA MASATOMO  
KOGA TORU  
ISHII YUKI

(30)Priority

Priority number : 10 94964      Priority date : 07.04.1998      Priority country : JP

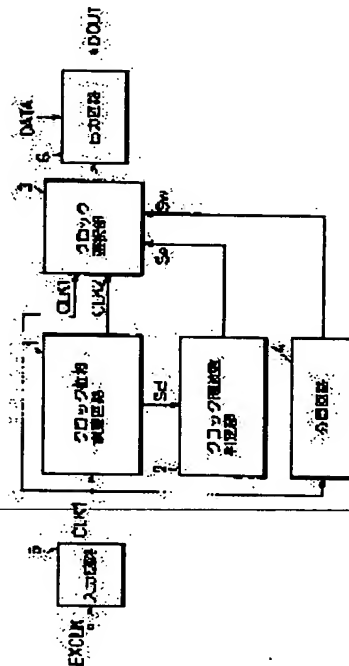
## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To compare the phase of a clock generated by a DLL circuit or the like with the phase of a clock which is inputted to a DRAM or the like and to precisely detect the clock whose phase is earlier when a frequency is comparatively high, in a semiconductor device which is provided with the DLL circuit or the like used to adjust the phase of an external clock and to generate an internal clock delayed by a prescribed phase and which uses a real clock and a DLL clock properly according to frequency.

SOLUTION: A clock-frequency judgment part 2 which, when data synchronized with either a first clock or a second clock is outputted, the

frequency of the first clock is judged by responding to an instruction signal indicating the delay amount of the first clock inside a first phase adjusting circuit 1 and which outputs a control signal is provided. A clock selection part 3 which selects either the first clock or the second clock by responding to the control signal



is provided.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application other  
than the examiner's decision of rejection  
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-353878

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

H 0 3 K 5/135

H 0 3 K 5/135

H 0 3 L 7/00

H 0 3 L 7/00

D

H 0 4 L 7/00

H 0 4 L 7/00

Z

// G 0 6 F 1/10

G 1 1 C 11/34

3 5 4 C

審査請求 未請求 請求項の数5 OL (全 25 頁) 最終頁に続く

(21) 出願番号 特願平11-86851

(71) 出願人 000005223

(22) 出願日 平成11年(1999) 3 月29日

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(31) 優先権主張番号 特願平10-94964

(72) 発明者 加納 英樹

(32) 優先日 平10(1998) 4 月 7 日

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(33) 優先権主張国 日本 (J P)

(72) 発明者 松宮 正人

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外4名)

最終頁に続く

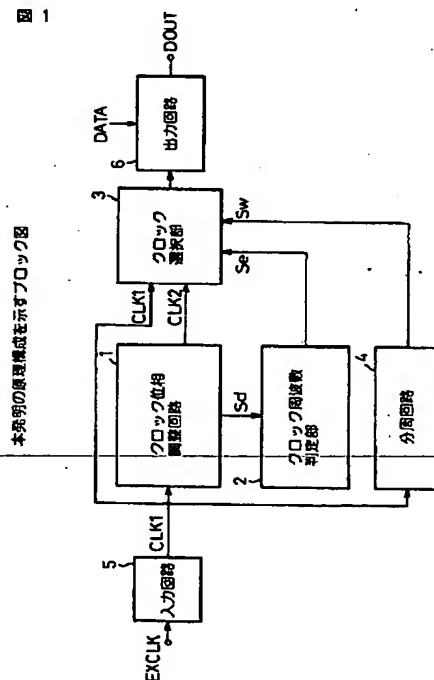
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 外部クロックの位相を調整して所定の位相だけ遅れた内部クロックを生成するDLL回路等を備え、周波数によってリアルクロックとDLLクロックを使い分ける半導体装置に関し、周波数が比較的高い場合に、DLL回路等にて生成されるクロックの位相とDRAM等に入力されたクロックの位相とを比較して位相の早いクロックを正確に検出することを目的とする。

【解決手段】 第1のクロックまたは第2のクロックのいずれか一方と同期したデータを出力する際に、クロック位相調整回路1内の第1のクロックの遅延量を示す指示信号にตอบสนองして第1のクロックの周波数を判定し、制御信号を出力するクロック周波数判定部2と、制御信号にตอบสนองして第1のクロックまたは第2のクロックの一方を選択するクロック選択部3とを備える。

図 1



## 【特許請求の範囲】

【請求項1】 入力される第1のクロックの位相を調整して外部クロックに対し所定の位相だけ遅れた第2のクロックを生成するクロック位相調整回路を有し、該第1のクロックまたは該第2のクロックのいずれか一方と同期したデータを出力する半導体装置において、前記クロック位相調整回路内の前記第1のクロックの遅延量を示す指示信号にตอบสนองして該第1のクロックの周波数を判定し、制御信号を出力するクロック周波数判定部と、前記制御信号にตอบสนองして前記第1のクロックまたは第2のクロックの一方を選択するクロック選択部とを備えることを特徴とする半導体装置。

【請求項2】 前記クロック位相調整回路は、前記第1のクロックの位相を遅延させるためのディレイ段を有するディレイ回路部を含み、前記指示信号は、前記ディレイ回路部の前記ディレイ段の段数を表す信号である請求項1記載の半導体装置。

【請求項3】 前記制御信号の信号レベルが、前記半導体装置の動作環境により幾度も変動するのを防止するために、該クロック周波数判定部はヒステリシス特性を有する請求項1記載の半導体装置。

【請求項4】 前記制御信号が、前記第1のクロックの周波数が予め定められた基準値よりも高いことを示している場合、前記クロック選択部は、前記第1のクロックと前記第2のクロックとのクロック位相比較を行わないこととし、該第2のクロックを出力する請求項1記載の半導体装置。

【請求項5】 第1のクロックが入力され、可変の遅延回路を通して該第1のクロックの位相を遅延させることによって該第1のクロックと同期した第2のクロックを生成するクロック位相調整回路と、

前記可変の遅延回路における前記第1のクロックの遅延量に基づいて前記第1のクロックの周波数を判定し、所定の制御信号を出力するクロック周波数判定回路と、該所定の制御信号に応じて前記第1のクロックまたは前記第2のクロックのいずれか一方を選択し、該選択された第1のクロックまたは第2のクロックのいずれか一方の信号を内部回路に送出するクロック選択回路とを備えることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、外部から供給されるクロック（すなわち、外部クロック）の位相を調整して同クロックに対し所定の位相だけ遅れた内部クロックを生成するDLL（Delay Locked Loop）回路等のクロック位相調整回路を備えた半導体装置に関する。より詳しくいえば、本発明は、外部から供給されるクロックに対し90°または120°等の所定の位相だけ遅れた内部クロックを生成し、ダイナミック・ランダム・アクセ

ス・メモリ（以後、DRAMと略記する）に代表される高速メモリ等に入力されるデータの位相を上記内部クロックの位相に同期させることにより、特性のばらつきや周囲温度や電源電圧等の変動に関係なく常に所定の正確な位相にてデータを取り込んで出力する機能を備えた半導体装置に関するものである。

## 【0002】

【従来の技術】 通常、半導体集積回路（LSI）を構成する半導体チップでは、外部からの入力信号としてデータが入力され、この入力されたデータに応じた処理動作が行われて所望のデータが出力される。一般的にいつて、汎用のLSIでは、特性のばらつきや周囲温度や電源電圧等の変動に関係なく所望のデータを安定に出力するためには、外部から入力されるデータに対して、どのようなタイミングで同データが出力されるかが重要であり、このために、仕様により上記タイミングを予め規定することが必要になってくる。例えば、DRAMでは、アドレス信号の最大周波数等と共に、アドレス信号の変化エッジからデータが出力されるタイミングや、データを書き込むためのデータセットアップ時間等が予め規定されている。

【0003】 近年、コンピュータ・システムにおけるCPU（中央処理装置）のクロックの高速化、あるいは他のさまざまな電子回路の処理速度の高速化に伴って、CPU内の主記憶装置やインタフェース部分も高速化する必要に迫られている。そこで、例えば100MHz以上のデータ転送速度を可能にするシンクロナスDRAM（通常、SDRAMと略記される）等の新しいDRAMが各種提案されている。

【0004】 このような高速にて動作するSDRAM等の新しいDRAMにおいては、外部から入力されるクロックに対し常に所定の正確な位相（例えば、90°または120°等）にてデータの出力を誤りなく行うことが必要である。このため、通常は、外部から供給される外部クロックの位相と内部クロックの位相との差を正確に調整して同内部クロックを生成する機能を有するDLL回路等をDRAMに設け、このDLL回路にて生成された内部クロック、すなわち、DLLクロックの位相と、DRAMから出力されるデータの位相とを同期させるようにしている。

【0005】 しかしながら、ユーザによっては、上記のようなDRAMを比較的低い周波数にて使用することがある。この場合には、クロックが入力されてからデータが出力されるまでのクロックアクセス時間が必要以上に大きくなるのを回避するために、DLL回路にて生成されるDLLクロックの位相と、DRAMに入力されたままのリアルクロックの位相とを比較してタイミングの早いほうのクロックを検出し、半導体装置（すなわち、半導体デバイス）内部でのクロックとして使用することとしている。

【0006】図20は、従来のリアルクロックとDLLクロックとのクロック位相比較機能を有する半導体装置の構成例を示す回路ブロック図であり、図21は、従来の半導体装置においてリアルクロックとDLLクロックとのクロック位相比較を行う場合の問題点を説明するためのタイミングチャートである。図20および図21に示すような従来のクロック位相比較機能を有する半導体装置の構成例は、例えば、本願と同一の出願人によりなされた先行特許出願（特願平9-006796号：1997年1月17日出願）の明細書に開示されている。

【0007】図20において、従来のクロック位相比較機能を有する半導体装置は、外部から入力バッファ500を介して入力される外部クロックEXCLKを所定の位相だけ遅延させたDLLクロックDLLCLKを生成するためのディレイ回路部（後述の図4参照）を含むDLL回路100と、このDLL回路100から出力されるDLLクロックの位相と、入力バッファ500から出力されるリアルクロックRECLKとのクロック位相比較を行うクロック位相比較回路150とを備えている。

【0008】さらに詳しく説明すると、コンピュータ・システムを動作させるための基準となる外部クロックは、入力バッファ500により所定のレベルになるように調整された後に（例えば、降圧された後に）、ある程度の位相遅れを有するリアルクロックとして入力バッファ500から出力される。また一方で、DLL回路100では、ディレイ回路部の複数のディレイ段の段数を制御することによって、外部クロックに対し90°または120°等の位相遅れに相当する遅延量を予め設定しておく。さらに、クロック位相比較回路150は、分周回路400によりリアルクロックを分周して生成したウィンドウパルス信号Sw内で、上記ディレイ段を通して出力されるDLLクロックの位相と、DLL回路100を通さずに入力バッファ500から直接出力されるリアルクロックの位相とを比較し、相対的に早いほうの位相に対応するクロックを出力用の内部クロックとして検出する。

【0009】このようにして検出されたDLLクロックまたはリアルクロックのいずれか一方のクロックは、半導体デバイス内の出力バッファ600に供給される。このデータ出力バッファ600は、クロック位相比較回路150から供給されるDLLクロックまたはリアルクロックのいずれか一方のクロックに同期してデータDATAを取り込み、出力信号DOOUTとして外部へ出力する。

【0010】さらに、図21の（1）のタイミングチャートを参照しながら、外部クロックのクロック周波数（クロック周期CLKの逆数）が比較的低い場合に上記クロック位相比較回路150（図20）によるクロック位相比較の様子を説明する。このタイミングチャートに示すように、外部クロックEXCLK（図21の

（1）の（a）部）に対し所定の位相（例えば、120°）だけ遅れたクロックを半導体デバイスの内部クロックとして使用する場合、リアルクロックRECLK（図21の（1）の（b）部）の位相とDLLクロックDLLCLK（図21の（1）の（c）部）の位相とを、リアルクロックを分周して生成したウィンドウパルス信号のウィンドウ内（ハッチングを施した部分）で比較する。より詳しく説明すると、ウィンドウ内のエッジを取り出し（d1os0z, d1os1z）、この2つのエッジを比較する。リアルクロックの位相の遅れに相当する遅延時間tdには、クロック信号ラインによる遅れが含まれる。また一方で、DLLクロックは、出力バッファなどの出力回路での遅延時間td'を見越して位相が早くなっている（td'が大きくなるほど、DLLクロックの位相が早くなる）。クロック位相比較回路150では、上記のウィンドウパルス信号のウィンドウ内に入っているリアルクロックおよびDLLクロックの立ち上がりのエッジ（図中の矢印が付記されたエッジ）を比較し、立ち上がりエッジの早いほうのクロックを検出する。この場合（図21の（1）の場合）には、DLLクロックの位相がリアルクロックの位相よりも早いと判定され、DLLクロックDLLCLKがクロック位相比較回路150から出力される。また一方で、リアルクロックの立ち上がりエッジがDLLクロックの立ち上がりエッジよりも早い場合には、リアルクロックの位相がDLLクロックの位相よりも早いと判定され、リアルクロックRECLKがクロック位相比較回路150から出力されることになる。なお、d1os0zおよびd1os1z（後述の図11の出力信号Sa、Sbにそれぞれ相当する）は、位相比較のために、リアルクロックとDLLクロックからそれぞれ作成した信号である。（図21の（1）の（d）部および（e）部参照）。

【0011】

【発明が解決しようとする課題】上記のとおり、半導体デバイスに供給される外部クロックのクロック周波数が比較的低い場合、かつ、DLLクロックとして90°または120°遅れたクロックを用いる場合、従来は、クロックアクセス時間tACが必要以上に大きくなるのを回避するために、DLL回路にて生成されるDLLクロックの位相と、DRAMに入力されたままのリアルクロックの位相とを比較してタイミングの早いほうのクロックを検出し、半導体デバイスの内部クロックとして使用していた。

【0012】さらに詳しく説明すると、DLL回路は、DRAMから出力される信号がシステムのクロックに同期して出力されるように、内部のクロックの位相を調節する。半導体チップ内の信号の伝達にはディレイ（遅延）があるため、DLL回路で発生するクロックは、半導体チップ外のクロックに比べて位相が早くなっている。この位相の早いクロックは、半導体チップ内のクロ

ックに対しさらにディレイをかませ、何周期か後のクロックのエッジに対して作られる。

【0013】ここで、外部クロックEXCLK（図21の（2）の（f）部）のクロック周波数（クロック周期 $\tau$ CLKの逆数）が比較的高くなった場合を想定する。この場合も、図21の（2）のタイミングチャートに示すように、ウィンドウパルス信号のウィンドウ内（ハッチングを施した部分）で、DLLクロックDLLCLK（図21の（2）の（h）部）の位相と、リアルクロックRECLKの位相（図21の（2）の（g）部）の位相との比較がなされる。しかしながら、上記のような条件の下では、DLLクロックが、ウィンドウパルス信号のウィンドウに対し半周期ずれる傾向にあるために、一方のクロックの位相と他方のクロックの位相との比較を行った結果、位相の早いほうのクロックと位相の遅れているほうのクロックを逆に判定してしまう可能性が生ずる。

【0014】すなわち、図21の（2）においては、外部クロックのクロック周波数が比較的高くなって半導体デバイス内部のディレイに対して外部クロックのクロック周期 $\tau$ CLKが相対的に短くなっているために、本来比較すべきクロックの立ち上がりのエッジ（図中の矢印がついたエッジ）がウィンドウから出てしまっている。それゆえに、実際にはDLLクロックの位相のほうが多いにもかかわらず、反対にDLLクロックの位相のほうが遅れていると判定される。この結果、クロック位相比較回路では、相対的に早いDLLクロックDLLCLK（図21の（2）の（h）部）が出力されずに、相対的に遅いリアルクロックRECLK（図21の（2）の（g）部）が出力されることになり、正しい判定結果が得られないことになる。なお、図21の（2）の（i）部および（j）部に示すd1os0zおよびd1os1z（後述の図11の出力信号SaおよびSbにそれぞれ相当する）は、位相比較のために、リアルクロックとDLLクロックからそれぞれ作成した信号である。

【0015】本発明は上記問題点を鑑みてなされたものであり、外部クロックのクロック周波数が比較的高い場合でも、DLL回路等にて生成されるクロックの位相と、DRAM等に入力されたままのクロックの位相とを比較する際に、位相の早いほうのクロックを正確に検出することが可能な半導体装置を提供することを目的とするものである。

【0016】

【課題を解決するための手段】図1は、本発明の原理構成を示すブロック図である。ただし、ここでは、本発明のクロック位相比較機能を有する半導体装置の構成を簡略化して示すこととする。上記問題点を解決するために、本発明の半導体装置は、図1に示すように、装置外部から入力されるクロック信号（すなわち、外部クロック）に基づき、装置内部で位相の調整がされていない第

1のクロックCLK1の位相を調整して外部クロック（EXCLK）に対し所定の位相（例えば、 $90^\circ$  または $120^\circ$  分の位相）だけ遅れた第2のクロックCLK2を生成するクロック位相調整回路1を有しており、上記第1のクロックまたは上記第2のクロックのいずれか一方と同期したデータDATAを出力するように構成される。ただし、第2のクロックCLK2は、前述したように、出力回路でのディレイ分だけ位相が早くなっている。

【0017】さらに、図1に示すように、本発明の半導体装置は、上記クロック位相調整回路1内の第1のクロックCLK1の遅延量を示す指示信号Sdにตอบสนองして上記第1のクロックCLK1の周波数を判定し、制御信号（Se）を出力するクロック周波数判定部2と、上記制御信号にตอบสนองして上記第1のクロックCLK1または第2のクロックCLK2の一方を選択するクロック選択部3とを備える。この場合、好ましくは、第2のクロックCLK2は、DLL回路等からなるクロック位相調整回路1にて生成されるDLLクロックであり、第1のクロックCLK1は、半導体装置に入力されたままのリアルクロックである。さらに、上記のようなクロック位相比較を行うか否かは、クロック周波数判定部2から出力される制御信号であるイネーブル信号Seにより決定される。

【0018】さらに、好ましくは、本発明の半導体装置において、上記クロック位相調整回路1は、上記第1のクロックCLK1の位相を遅延させるためのディレイ段を有するディレイ回路部を含み、上記指示信号Sdは、上記ディレイ回路部の上記ディレイ段の段数を表す信号になっている。さらに、好ましくは、本発明の半導体装置においては、上記制御信号のレベルが、上記半導体装置の動作環境により幾度も変動するのを防止するために、上記クロック周波数判定部2はヒステリシス特性を有する。

【0019】さらに、好ましくは、本発明の半導体装置においては、上記制御信号が、上記第1のクロックCLK1の周波数が予め定められた基準値よりも高いことを示している場合、上記クロック選択部3は、上記第1のクロックCLK1と上記第2のクロックCLK2との位相比較を行わないこととし、この第2のクロックCLK2を出力するようになっている。

【0020】さらに、図1においては、クロック位相調整回路1の入力側には、従来の入力バッファ500（図20）とほぼ同じ機能を有する入力回路5が設けられている。また一方で、クロック位相調整回路1の出力側には、従来の出力バッファ600（図20）とほぼ同じ機能を有する出力回路6が、クロック選択部3を介して設けられている。コンピュータ・システムを動作させるための基準となる外部クロックEXCLKは、入力回路5により所定のレベルになるまで降圧され、第1のクロッ

クCLK1として出力される。この第1のクロックCLK1は、クロック位相調整回路1内のディレイ回路部に供給され、また一方で、従来の分周回路400とほぼ同じ機能を有する分周回路4により分周され、クロック位相比較用のウィンドウを提供するためのウィンドウパルス信号Swとしてクロック選択部3に供給される。

【0021】また一方で、本発明の好ましい実施態様に係る半導体装置は、第1のクロックが入力され、可変の遅延回路を通して上記第1のクロックの位相を遅延させることにより出力回路用のクロックとして用いて、出力が外部クロックと同期がとれるように調節した第2のクロックを生成するクロック位相調整回路と、上記可変の遅延回路における上記第1のクロックの遅延量に基づいて上記第1のクロックの周波数を判定し、所定の制御信号を出力するクロック周波数判定回路と、この制御信号に応じて上記第1のクロックまたは上記第2のクロックのいずれか一方を選択し、このようにして選択された第1のクロックまたは第2のクロックのいずれか一方の信号を内部回路に送出するクロック選択回路とを備えている。

【0022】さらに詳しく説明すると、本発明の半導体装置では、まずシミュレーションによって、第1のクロックCLK1の位相と第2のクロックCLK2の位相との位相差に関し、クロック位相比較が正確に行われるような第1のクロックCLK1の周波数 $f_1$ （すなわち、図21の(2)に示したように外部クロックのクロック周期 $t_{CLK}$ の $1/2$ （ $t_{CLK}/2$ =ウィンドウ）以上の位相差がつく周波数の上限）を予め求めると共に、上記2つのクロックの位相が同程度になる周波数 $f_2$ を予め求めておく。さらに、そのときのディレイ段の段数も予め求めておく。

【0023】一般的にいうと、DLL回路等においてロックオンされる複数のディレイ段の段数は、第1のクロックCLK1の周波数（すなわち、外部クロックのクロック周波数）が高いと少なく、上記周波数が低いと多くなる。このような特性を旨く利用し、ディレイ段の段数に基づき、クロック周波数判定部2によりCLKの周波数を判定することによってクロック選択部3を制御する。より具体的にいえば、周波数 $f_1$ のときのディレイ段の段数 $n_1$ と、周波数 $f_2$ のときのディレイ段の段数 $n_2$ との間の段数 $n_3$ に対応するノードにクロック周波数判定部2を接続し、DLL回路等からなるクロック位相調整回路1にてロックオンされたディレイ段の段数が、上記の段数 $n_3$ より多いか少ないかを判定する（ $f_2 < f_1$ 、 $n_2 > n_3 > n_1$ ）。この場合、DLL回路等のディレイ段の段数には限りがあり、このディレイ段を使い切ると、ロックオンが不可能になる点に注意すべきである。

【0024】クロック位相調整回路1にてロックオンされたディレイ段の段数が、段数 $n_3$ より多い場合は、ク

ロック周波数判定部2からイネーブル信号Se（例えば、後述の図4に示すクロック選択イネーブル信号CLKSEN）が出力され、クロック選択部3を動作させる。このクロック選択部3によって、自動的に早いほうの位相に相当するクロックが選択され、第1のクロックCLK1と第2のクロックCLK2との間の選択切り替えがスムーズに行われる。それゆえに、第1のクロックCLK1の周波数に変動があった場合でも、クロックアクセス時間 $t_{AC}$ が突然変化することがなくなり、スムーズに変化ようになる。さらに、クロック位相調整回路1にてロックオンされたディレイ段の段数が、段数 $n_2$ よりもはるかに多くなったときには、DLL回路等からなるクロック位相調整回路1の動作を停止させることによって、DLL回路等の動作により発生する消費電力を最小限に抑制することができる。

【0025】また一方で、クロック位相調整回路1にてロックオンされたディレイ段の段数が、段数 $n_1$ より少ない場合は、クロック選択回路30（後述の図4参照）等のクロック選択部3において第1のクロックCLK1と第2のクロックCLK2との位相比較が正確に行えないため、クロック周波数判定部2からクロック選択部3へイネーブル信号Seが供給されなくなり、クロック選択部3が動作しなくなる。このときは、常に、クロック位相調整回路1にて生成される第2のクロックCLK2を内部クロックとして使用する。

【0026】さらに、電源電圧等の動作環境が変化することによってクロックの位相の判定結果が頻繁に変わってしまうと、半導体デバイス内部で使用するクロックが度々変化することになり、半導体デバイスそのものの動作が不安定になるおそれが生ずる。このために、クロック周波数判定部2にヒステリシスをもたせ、上記判定結果に対応するイネーブル信号Seを変化しにくくすることによって半導体デバイス内部で使用するクロックを安定させるようにしている。

【0027】かくして、本発明では、外部クロックのクロック周波数が比較的高い場合でも、DLL回路等にて生成されるクロックの位相と、DRAM等に入力されたままのクロックの位相とのクロック位相比較を行うか否かの判断を適切に行うことによって、位相の早いほうのクロックを正確に選択することができる。また一方で、外部クロックのクロック周波数がある程度低くなった場合には、DLL回路等の動作を停止させることによって、DLL回路等の動作により発生する消費電力を最小限に抑制することができる。それゆえに、一つの半導体チップ内で従来よりもはるかに広範囲のクロック周波数に対応することが可能になる。

【0028】

【発明の実施の形態】以下、添付図面（図2～図19）を参照しながら本発明の好ましい実施の形態（以後、実施例とよぶこととする）を説明する。ただし、ここで



は、本発明の好ましい実施例の構成および特徴を容易に理解することができるように、本発明の実施例が適用されるSDRAMの構成およびその動作を最初に説明することとする。

【0029】図2は、本発明の半導体装置が適用されるシンクロナスDRAMの概略的構成を示すブロック図であり、図3は、図2のシンクロナスDRAMの動作を説明するためのタイミングチャートである。ただし、ここでは、一般に使用されているシンクロナスDRAMの一例を示すこととする。図2に示すシンクロナスDRAM (SDRAM) からなる半導体チップは、チップ内のメモリ領域を構成するための複数のバンク (例えば、バンクNo. 0、No. 1) を有する2048ビット×2048ビット (ただし、このビット構成にはこだわらない) のDRAMコア108a、108bと、これらのDRAMコア108a、108bに供給すべき各種の制御信号 (DRAMコアに対するローアドレスストロープ制御信号RAS、コラムアドレスストロープ信号CAS、およびライトイネーブル信号WE) を保持する制御信号ラッチ105a、105bと、SDRAMの動作モードを特定するためのモードレジスタ106と、コラムアドレスをカウントしてデータをアクセスするためのコラムアドレスカウンタ107a、107bとを備えている。

【0030】さらに、図2に示す半導体チップは、クロックイネーブル信号CKEに基づき、シンクロナスDRAMを動作させるための基準となるクロックCLK (例えば、前述の外部クロックEXCLK) を保持して他の回路部に供給するためのクロックバッファ101と、各種のコマンド信号 (チップセレクト信号/CS、ローアドレスストロープ信号/RAS、コラムアドレスストロープ信号/CAS、およびライトイネーブル信号/WE) をデコードして上記制御信号ラッチ105a、105bおよびモードレジスタ106に供給するコマンドデコーダ102と、ローアドレスおよびコラムアドレスを含むメモリアドレス信号A0~A10、およびバンクアドレス信号A11を保持してモードレジスタ106、コラムアドレスカウンタ107a、107bおよびDRAMコア108a、108bに供給するアドレスバッファ/レジスタおよびバンクセクタ103と、各種のデータDQ (DQ0~DQ7およびDQM) を保持してDRAMコアのI/O部に供給するI/Oデータバッファ/レジスタ104とを備えている。

【0031】さらに、図2において、チップセレクト信号/CS、ローアドレスストロープ信号/RAS、コラムアドレスストロープ信号/CAS、およびライトイネーブル信号/WE等のコマンド信号は、その組み合わせにより各種のコマンドを入力することによって動作モードが決定されるようになっている。これらの各種コマンドは、コマンドデコーダ102により解釈され、動作モードに応じて各回路を制御することになる。また一方で、

上記のチップセレクト信号/CS、ローアドレスストロープ信号/RAS、コラムアドレスストロープ信号/CAS、およびライトイネーブル信号/WEは、制御信号ラッチ105aと105bにも入力され、次のコマンドが入力されるまで現在のコマンド信号の状態がラッチされる。

【0032】さらにまた、図2において、メモリアドレス信号A0~A10、およびバンクアドレス信号A11は、アドレスバッファ103により降圧されて各バンクのロードアドレスとして使用されると共に、コラムアドレスカウンタ107a、107bの初期値として使用される。DRAMコア108a、108bから読み出された信号は、I/Oデータバッファ/レジスタ104により増幅され、外部から入力されるクロックCLKの立ち上がりに同期して出力される。データ入力についても同様の動作が行われ、I/Oデータバッファ/レジスタ104に入力されたデータがDRAMコア108a、108bに書き込まれる。

【0033】図3に示すタイミングチャートにおいては、(a) 部のクロックCLKの立ち上がりに同期して各種の制御信号がDRAMコアに入力され (b) 部に示す)、このDRAMコア内のデータが読み出される。この場合、まず初めに、DRAMコア内のメモリマトリックスのローアドレス (Row Address) が選択され、所定の遅れ時間 (後述のローアドレスアクセス時間tRCDに相当する) が経過した後にコラムアドレス (Column Address) が選択されてデータ読み出し動作が開始される。

【0034】さらに詳しく説明すると、SDRAMからデータを読み出す場合、前述の各種のコマンド信号の組み合わせからアクティブ (ACT) コマンドをコマンド端子に入力し、アドレス端子にはローアドレス信号を入力する。このようなコマンドおよびローアドレスが入力されると、SDRAMは活性状態になり、ローアドレスに応じたワード線を選択し、この選択されたワード線上のセル情報をビット線に出力した後に、センスアンプにて増幅する。また一方で、上記のローアドレスのアクセスに関係した部分の動作時間 (ローアドレスアクセス時間tRCD) が経過した後に、リードコマンド (READ) およびコラムアドレスを入力する。このコラムアドレスに従って、選択されたセンスアンプのデータをデータバス線に出力した後に、データバスアンプにて増幅し、出力バッファによりさらに増幅することによって出力端子にデータDQが出力される ((c) 部に示す)。

【0035】これら一連の動作は汎用のDRAMの動作と全く同じであるが、SDRAMの場合、コラムアドレスに関係する回路がパイプライン動作をするようになっており、読み出されたリードデータは毎サイクル連続して出力されることになる。これにより、データ転送周期は外部クロック等のクロックCLKの周期に等しくな

る。

【0036】SDRAMでのアクセス時間には3種類あり、いずれもクロックCLKの立ち上がり時点を基準にして定義される。図3において、 $t_{RAC}$ は、ロードアドレスストロブ信号/RASが発生してからデータが出力されるまでの時間を意味するロードアドレスストロブ信号アクセス時間を示し、 $t_{CAC}$ は、コラムアドレスストロブ信号/CASが発生してからデータが出力されるまでの時間を意味するコラムアドレスストロブ信号アクセス時間を示し、そして、 $t_{AC}$ は、前述したようにクロックCLKからデータ出力までの時間遅れを示すクロックアクセス時間を示している。上記SDRAMを高速のメモリシステムにて使用する場合、コマンド信号を入力してから最初にデータが得られるまでの時間を示す $t_{RAC}$ や $t_{CAC}$ も重要であるが、データの転送速度を高める上では、クロックアクセス時間 $t_{AC}$ も重要である。この理由として、クロックアクセス時間 $t_{AC}$ が遅れると、出力されるデータの内の有効な部分が少なくなり、CPU等の外部回路側のセットアップやホールド等の動作が苦しくなることが挙げられる。また一方で、クロックの次のエッジでデータ出力を確定することができなくなることとも挙げられる。

【0037】さらに、図3において、 $t_{OH}$ は前のサイクルまたは次のサイクルへの出力データ保持時間を示している。SDRAMの特性のばらつき、温度依存性および電源電圧依存性を考えると、 $t_{AC}$ と $t_{OH}$ は変動し、ある程度の時間幅を持つ。この時間幅に相当する時間では、出力端子から出力されるべきデータが不確定になっている。このようにデータが不確定になっている時間、すなわち、データ不確定時間は、どのようなデータが出力されるか分からない時間を意味しており、メモリシステムでは使用することができない時間である。

【0038】上記のデータ不確定時間は、SDRAMの特性のばらつきや、温度および電源電圧等の変化により変動する傾向にある。このような場合でも、正確なタイミングにてデータを誤りなく出力するためには、クロックCLKに対してデータが常に所定の位相で出力されること、すなわち、クロックアクセス時間 $t_{AC}$ が常に一定であることが要求される。例えば、データの出力が内部クロックの立ち上がりに同期して行われることが望ましい場合、外部クロック等のクロックCLKと内部クロックとの位相差が常に所定の値、例えば、 $90^\circ$ または $120^\circ$ 等に保持されるようにクロック位相調整回路(図1参照)のディレイ回路部のディレイ段の段数を設定することが必要である。

【0039】図4は、本発明の概念的な実施例の構成を示す回路ブロック図であり、図5は、クロック周波数とクロックアクセス時間との関係に、本発明の半導体装置の動作を付け加えたグラフである。図7のグラフは、クロック周波数 $f_{CLK}$ とクロックアクセス時間 $t_{AC}$ と

の関係を示す直線によってSDRAMの性能を表しており、本発明の半導体装置の回路がどのクロックを選択するかを上記直線に付け加えたものである。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表すこととする。

【0040】図4に示す概念的な実施例においては、本発明のクロック位相調整回路1(図1参照)として、外部回路等から供給される外部クロックEXCLKの遅延量(位相)を調整するDLL回路10が設けられている。このDLL回路10では、最終的に出力信号DOU Tとしてデータを出力したときに、出力バッファ60でも遅延があることを考慮して、常に所定の位相(例えば、 $90^\circ$ または $120^\circ$ 等)だけ遅らせたDLLクロックDLLCLK(図1の第2のクロックCLK2に相当する)を出力するようになっている。

【0041】このDLL回路10は、外部から入力バッファ50を介して入力される外部クロックを所定の位相だけ遅延させたDLLクロックを生成するためのディレイ段を有するディレイ回路部10dを備えている。ここで、DLLクロック10の入力側に設けられる入力バッファ50は、従来の入力バッファ500(図20)とほぼ同じ機能を有する。さらに、クロック位相比較の対象とする第1のクロックCLK1(図1)に相当するリアルクロックRECLKが、入力バッファ50から出力される。この場合、リアルクロックは、DLL回路10内のディレイ回路部に供給され、また一方で、従来の分周回路400とほぼ同じ機能を有する分周回路40により分周され、クロック位相比較用のウィンドウを提供するためのウィンドウパルス信号Swとして後述のクロック選択回路30に供給される。

【0042】さらに、図4においては、本発明のクロック周波数判定部2(図1)として、ディレイ回路部10dのディレイ段の段数を制御するシフトレジスタのノードから出力されるディレイ段信号( $S_{dm}$ ,  $S_{dn}$ )に基づき、上記ディレイ段の段数が予め定められた段数よりも多いか否かを判定するクロック周波数判定回路20が設けられている。このクロック周波数判定回路20は、DLL回路10にてロックオンされたディレイ段の段数を検出することによって、リアルクロックの周波数が予め定められた基準値よりも高いか否かを判定し、クロック選択イネーブル信号CLKSENのようなイネーブル信号を出力する。

【0043】さらに、図4においては、本発明のクロック選択部3(図2)として、上記リアルクロックの位相と上記DLLクロックの位相とを比較し、データDATAを同期させるクロックとして、相対的に早いほうの位相に対応するクロックを選択するクロック選択回路30が設けられている。このクロック選択回路30によりクロック位相比較を行うか否かは、クロック周波数判定回路20による判定結果、すなわち、クロック選択イネー

ブル信号CLKSENに基づいて決定される。より詳しくいえば、リアルクロックの周波数が予め定められた基準値よりも高いと判定された場合、上記クロック選択回路30にてリアルクロックとDLLクロックとのクロック位相比較を行わないこととし、DLLクロックにデータDATAを同期させる（または、DLLクロックをデータ出力のためのクロックとして使用する）ようになっている。上記のクロック選択回路30から出力される選択クロック信号Soutは、リアルクロックまたはDLLクロックのいずれか一方に対応する信号である。

【0044】さらに、図4においては、従来の出力バッファ600（図20）とほぼ同じ機能を有する出力バッファ60が、SDRAM等の半導体デバイスの出力段に設けられている。この出力バッファ60は、クロック選択回路30から供給される選択クロック信号Sout（リアルクロックまたはDLLクロックのいずれか一方）に同期してデータDATAを取り込み、出力信号DOUTとして外部へ出力する。

【0045】さらに詳しく説明すると、上記の概念的な実施例においては、例えばシミュレーションによって、リアルクロックとDLLクロックとのクロック位相比較が正確に行われる周波数の上限に相当する周波数 $f_1$ に対応するディレイ段の段数 $n_1$ と、上記2つのクロックの位相が同程度になる周波数 $f_2$ に対応するディレイ段の段数 $n_2$ を予め算出しておく（ $f_2 < f_1$ 、 $n_2 > n_1$ ）。さらに、ディレイ段の段数 $n_1$ とディレイ段の段数 $n_2$ との間に位置する任意の2つの段数 $m$ 、 $n$ （ $m < n$ ）にそれぞれ対応する2つのノードから出力されるディレイ段信号 $S_{dm}$ 、 $S_{dn}$ を、クロック周波数判定回路20に入力する。このクロック周波数判定回路20は、ディレイ段信号 $S_{dm}$ 、 $S_{dn}$ のいずれか一方、例えば、ディレイ段信号 $S_{dn}$ の出力レベルによって、DLL回路10にてロックオンされたディレイ段の段数が段数 $n$ より多くなったか否かを検出する。もし、ディレイ回路部10dのディレイ段の段数が段数 $n$ より多くなっていけば、外部クロックのクロック周波数（ $t_{CLK}$ の逆数）が予め定められた基準値よりも低くなったと判定され、クロック周波数判定回路20からクロック選択イネーブル信号CLKSENが出力される。

【0046】クロック周波数判定回路20から出力されたクロック選択イネーブル信号CLKSENは、クロック選択回路30に供給され、このクロック選択回路30を動作させる。この場合、図5に示すように、クロック選択回路30によって、自動的に早いほうの位相に相当するクロックが選択されるので、リアルクロックとDLLクロックとの間の選択切り替えがスムーズに行われる。それゆえに、リアルクロックの周波数、すなわち、外部クロックのクロック周波数に変動が生じた場合でも、クロックアクセス時間 $t_{AC}$ が突然変化することがなくなり、スムーズに変化するようになる。さらに、D

LL回路10にてロックオンされたディレイ段の段数が、段数 $n_2$ よりもはるかに多くなったときには、DLL回路の動作を停止させることによって、DLL回路の不要な動作により発生する消費電力を最小限に抑制することができる。

【0047】また一方で、DLL回路10にてロックオンされたディレイ段の段数が、段数 $n_1$ より少ない場合は、外部クロックのクロック周波数が予め定められた基準値よりも高いと判定され、クロック選択イネーブル信号CLKSENがクロック選択回路30に供給されなくなり、クロック選択回路30が動作しなくなる。このときは、図5の左側の部分に示すように、常に、DLL回路10にて生成されるDLLクロックを内部クロックとして使用する。

【0048】さらに、上記の概念的な実施例においては、電源電圧等の動作環境が変化することによってクロック選択回路30によるクロックの位相の判定結果が頻繁に変わってしまうと、半導体装置内で使用する内部クロックが度々変化することになり、半導体装置そのものの動作が不安定になるおそれがある。このような事態を回避するために、クロック周波数判定回路20にヒステリシスをもち、上記判定結果に対応するクロック選択イネーブル信号CLKSENを変化しにくくすることによって内部クロックを安定させるようにしている。

【0049】より具体的にいえば、前述したように、DLL回路10のディレイ段の段数を制御するシフトレジスタ等において、ディレイ段の段数 $n_1$ とディレイ段の段数 $n_2$ との間に位置する任意の2つの段数 $m$ 、 $n$ にそれぞれ対応する2つのノードから、ディレイ段信号 $S_{dm}$ 、 $S_{dn}$ を出力する。ここで、段数 $n$ に対応するノードから出力されるディレイ段信号 $S_{dn}$ の出力レベルにより、DLL回路10のディレイ段の段数が増加して段数 $n$ よりも多くなったことが一旦検出された場合は、その後DLL回路10のディレイ段の段数が段数 $n$ より減少してもクロック選択イネーブル信号CLKSENを出力し続ける。さらに、段数 $m$ に対応するノードから出力されるディレイ段信号 $S_{dm}$ の出力レベルにより、DLL回路10のディレイ段の段数が段数 $m$ よりも少なくなったことが検出された時点でクロック選択イネーブル信号CLKSENの出力を停止させる。すなわち、ここでは、2つのノードから出力される2種のディレイ段信号 $S_{dm}$ 、 $S_{dn}$ を旨く利用することによって、クロック選択回路30へのクロック選択イネーブル信号CLKSENの供給を安定させるようにしている。

【0050】上記の概念的な実施例によれば、外部クロックのクロック周波数が比較的高い場合でも、DLL回路にて生成されるDLLクロックの位相と、DRAM等を含む半導体装置に入力されたままのリアルクロックの位相とのクロック位相比較を行うか否かの判断を適切に行うことによって、位相の早いほうのクロックを正確に

選択することができる。それゆえに、特にクロック周波数が比較的高い領域において、広範囲のクロック周波数に対応することが可能になる。

【0051】つぎに、DLL回路10の中で本発明に係る部分の構成について説明する。なお、以下に示すDLL回路10の構成は従来技術の範囲内であるので、その説明に関しては概略にとどめる。図6は、図4の実施例のDLL回路の具体的な構成例を示す回路ブロック図である。

【0052】図6において、DLL回路10は、リアルクロックを分周する分周器11、この分周器11から出力される分周クロック信号の位相と、上記分周器11からの分周クロック信号を所定の位相だけ遅延させた遅延分周クロック信号の位相とを比較する位相検出器12、リアルクロックを所定の位相だけ遅延させてDLLクロックを生成するためのディレイ段を有する第1のディレイライン13、上記分周器11からの分周クロック信号を所定の位相だけ遅延させて位相検出器12に供給するためのディレイ段を有する第2のディレイライン14、および、DLL回路10のディレイ段の段数を制御するシフトレジスタ15を備える。これらの第1および第2のディレイライン13、14、およびシフトレジスタ15は、協働してディレイ回路部10dを構成する。

【0053】さらに、第2のディレイライン14の出力側に、前述の図4の出力バッファ等の出力回路と同じ遅延量を有するダミー出力回路16を設けている。さらにまた、ダミー出力回路16と位相検出器12との間に、前述の図4の入力バッファ等の入力回路と同じ遅延量を有するダミー入力回路17を設けている。上記の分周器11、第2のディレイライン14、ダミー出力バッファ16およびダミー入力バッファ17を通る経路では、この経路にて図6中のノード0における信号の位相と、出力回路から出力される出力信号DOU T（データDATA）の位相とが同じになっている。すなわち、入力回路およびダミー入力バッファ17の各々による外部クロックの遅延量を $t_{d1}$ とし、第1のディレイライン13および第2のディレイライン14の各々による外部クロックの遅延量を $t_{d2}$ とし、出力回路およびダミー出力バッファ16の各々による外部クロックの遅延量を $t_{d3}$ とすると、シフトレジスタ15は、 $t_{d1} + t_{d2} + t_{d3} = n \cdot t_{CLK}$ （ $n$ は1以上の任意の正の整数）

になるように遅延量 $t_{d2}$ を調節する。これによって、外部クロックEXCLKと出力信号DOU T（データDATA）との同期がとれるようになる。

【0054】さらに詳しく説明すると、図6において、外部から供給されるリアルクロックは、分周器11と第1のディレイライン13に入力される。分周器11は、リアルクロックを所定の割合で分周して分周クロック信号を生成する。このようにして生成された分周クロック

信号は、位相検出器12および第2のディレイライン14に供給される。この第2のディレイライン14は、シフトレジスタ15の設定内容に応じた遅延量（ $t_{d2}$ ）だけ分周クロック信号を遅延させ、遅延分周クロック信号を出力する。第2のディレイライン14から出力される遅延分周クロック信号は、ダミー出力回路16およびダミー入力回路17を経由して位相検出器12に入力される。

【0055】さらに、図6において、位相検出器12は、分周器11からの分周クロック信号の位相と、第2のディレイライン14からの遅延分周クロック信号とを比較する。より具体的にいえば、位相検出器12は、分周クロック信号と遅延分周クロック信号との間の位相差が、所定の範囲内であるか、所定の範囲を越えて進んでいるか、または所定の範囲を越えて遅れているかを検出する。この位相検出器12による検出結果に応じて、位相検出器12は、第2のディレイライン14における遅延量を調節するように、シフトレジスタ15に対して制御信号を送出する。

【0056】さらに、位相検出器12からの制御信号に基づいて、シフトレジスタ15の設定内容が制御される。このシフトレジスタ15の設定内容に応じて、第1のディレイライン13および第2のディレイライン14の遅延量（ディレイ段の段数）が同時に同じように決定される。分周クロック信号と遅延分周クロック信号との間の位相差が所定の範囲内である場合には、シフトレジスタ15の設定内容は変化しない。上記位相差が所定の範囲を越えて進んでいるか、または所定の範囲を越えて遅れている場合には、シフトレジスタ15の設定内容が変化して、上記位相差が所定の範囲内に入るように第1のディレイライン13および第2のディレイライン14の遅延量が同時に同じように調整される。

【0057】すなわち、第1のディレイライン13は、シフトレジスタ15の設定内容に応じて、第2のディレイラインと同一の遅延量だけリアルクロックを遅延させる。これによって、第1のディレイライン13は、リアルクロックから所定の遅延時間だけ遅れた内部クロック（例えば、DLLクロック）を出力する。図7は、図6のDLL回路のディレイラインの構成例を示す回路図である。代表的に、図7に示される構成のディレイラインが、第1のディレイライン13および第2のディレイライン14（いずれも図6）として用いられる。

【0058】図7に示すディレイラインは、インバータ310、NANDゲート311-1～311-n、NANDゲート312-1～312-n、および、インバータ313-1～313-nを含む。この場合、インバータ310が入力信号を受け取り、インバータ313-1が出力信号を送出する。NAND回路311-1～311-nの各々は、一方の入力端子に信号 $p(1) \sim p(n)$ を受け取る。NAND回路311-1～311-n

nの各々における他方の入力端子は、インバータ310から共通の入力信号を受け取る。信号p(1)~p

(n)については、そのうちの一つが“H(High)”の出力レベル(すなわち、高出力レベル)になっており、残り全ては“L(Low)”の出力レベル(すなわち、低出力レベル)になっている。NANDゲート311-1~311-nの出力は、それぞれ、NANDゲート312-1~312-nの一方の入力に与えられる。さらに、NANDゲート312-2~312-nの出力は、インバータ313-2~313-nを介して、次段のNANDゲート312-1~312-n-1の他方の入力に与えられる。NANDゲート312-nのもう一方の入力は“H”レベルに固定され、NANDゲート312-1の出力は、インバータ313-1を介して出力信号として送出される。

【0059】信号p(1)~p(n)のうち、一つだけ“H”レベルにある信号をp(m)とする。この信号p(m)を受け取るNANDゲート311-mは、もう一方の入力に対するインバータとして動作する。したがって、ディレイラインへの入力信号は、インバータ310と当該インバータとによって2度反転され、元の入力信号としてNANDゲート312-mに入力される。NANDゲート311-mを除いたNANDゲート311-1~311-nをNANDゲート311-yとすると、対応する入力信号p(y)が“L”レベルになっているので、NANDゲート311-yの出力は常に“H”レベルになっている。したがって、NANDゲート312-yはインバータとして動作し、対応するインバータ313-yと対をなして遅延素子を構成する。

【0060】NANDゲート312-nの一方の入力は“H”レベルに固定されているので、NANDゲート312-mの一方の入力も“H”レベルに固定されている。したがって、NANDゲート312-mは、ディレイラインへの入力信号に対するインバータとして動作する。ディレイラインへの入力信号は、当該インバータとインバータ313-mを通過し、さらに下流側に設けられた上記遅延素子を通過して、最終的に、インバータ313-1から出力信号として送出される。すなわち、“H”レベルの信号p(m)の位置に応じて、出力信号の遅延量に変化することになる。もし、信号p(m)の位置が上流側に近ければ(すなわち、「m」の値が大きければ)遅延量は大きくなり、下流側に近ければ(すなわち、「m」の値が小さければ)遅延量は小さくなる。

【0061】図8は、図6のDLL回路のシフトレジスタの構成例を示す回路図である。図8には、信号p(1)~p(n)を生成する機能を有するシフトレジスタ15(図6)の一例が示されており、“H”レベルである信号p(m)の前後6個の信号p(m-2)~p(m+3)に対する具体的な回路が示されている。図8において、シフトレジスタ15は、NORゲート521

~526、NANDゲート531~536、インバータ541~546、nMOS(nチャネル型MOS)トランジスタ551~556、nMOSトランジスタ561~566、nMOSトランジスタ571~576、および、nMOSトランジスタ581~586を含む。nMOSトランジスタ551~556のうち、奇数番目のトランジスタは制御信号sre#xをゲート入力とし、偶数番目のトランジスタは制御信号sro#xをゲート入力とする。また一方で、nMOSトランジスタ561~566のうち、奇数番目のトランジスタは制御信号sle#xをゲート入力とし、偶数番目のトランジスタは制御信号slo#xをゲート入力とする。これらの制御信号sre#x、sro#x、sle#xおよびslo#xは、位相検出器12から与えられる。さらに、リセット信号RESETは、シフトレジスタ15を初期化するための信号である。

【0062】なお、NORゲート521~526の出力側では、それぞれ信号p(m-2)~p(m+3)が送出される。初期状態においては、信号p(m)、すなわち、NORゲート523の出力が“H”レベルになっている。ここで、ディレイラインの遅延量を減らしたい場合は、信号p(m)が“L”レベルになるようにし、信号p(m-1)が“H”レベルになるようにすればよい。このためには、制御信号sle#xとして、“H”レベルのパルスを与えればよい。制御信号sle#xが“H”レベルになると、nMOSトランジスタ563がオン状態(導通状態)になり、現在“H”レベルにあるインバータ543の出力が強制的に“L”レベルに落とされる。この結果、インバータ543およびNANDゲート533からなるラッチの状態が反転し、NANDゲート533の出力が“H”レベルになる。これによって、NORゲート523の出力p(m)が“L”レベルになる。また一方で、インバータ543の出力が“L”レベルになっているので、NORゲート522の出力p(m-1)が“H”レベルになる。

【0063】このような状態から、さらにディレイラインの遅延量を減らしたい場合は、制御信号slo#xとして“H”レベルのパルスを与えればよい。このように、NORゲート521~526の奇数番目から遅延量を減らす場合には制御信号sle#xを“H”レベルにし、偶数番目から遅延量を減らす場合には制御信号slo#xを“H”レベルにすればよい。

【0064】さらに、図8に示す初期状態において、ディレイラインの遅延量を増やしたい場合には、信号p(m)が“L”レベルになるようにし、信号p(m+1)が“H”レベルになるようにすればよい。このためには、制御信号sro#xとして、“H”レベルのパルスを与えればよい。さらに遅延量を増やす場合には、制御信号sre#xとして、“H”レベルのパルスを与えればよい。このように、NORゲート521~526の

奇数番目から遅延量を増やす場合には制御信号  $sro\#x$  を“H”レベルにし、偶数番目から遅延量を増やす場合には制御信号  $sre\#x$  を“H”レベルにすればよい。

【0065】これらの制御信号  $sre\#x$ 、 $sro\#x$ 、 $sle\#x$  および  $slo\#x$  は、分周クロック信号と遅延分周クロック信号との位相差を検出する位相検出器12により供給される。この位相検出器12および分周器11は、本発明に直接関係しないので、その構成の詳細については省略する。前述のように、図7および図8に示される信号  $p(1) \sim p(n)$  は、ディレイ回路部のディレイラインの遅延量、すなわち、ディレイ段の段数を決定する信号である。ここで、ディレイラインへの入力信号の周波数が高くなると、入力信号の周期は短くなる。この結果、所望の位相遅れを実現するために必要な遅延量も小さくなる。したがって、外部クロックのクロック周波数が比較的高い場合には（すなわち、クロック周期  $t_{CLK}$  が比較的小さい場合には）、ディレイラインにて設定される遅延量が小さく（ディレイ段の段数が少なくなり）、逆に上記クロック周波数が比較的低い場合には、ディレイラインにて設定される遅延量が大きくなる（ディレイ段の段数が多くなる）。このような状態を信号  $p(1) \sim p(n)$  に関して表現した場合、外部クロックのクロック周波数が比較的高いときには、

“H”レベルになっている信号  $p(m)$  の「 $m$ 」の値が小さくなり、逆に上記クロック周波数が比較的低い場合には、“H”レベルになっている信号  $p(m)$  の「 $m$ 」の値が大きくなる。すなわち、信号  $p(1) \sim p(n)$  は、外部クロックのクロック周波数を直接的に反映した形となっている。したがって、信号  $p(1) \sim p(n)$ 、あるいはこれらの信号に関連する信号を、クロック周波数判定回路20（図4）のクロック周波数判定用のディレイ段信号として用いることが可能になる。

【0066】図9は、図4の実施例のクロック周波数判定回路の具体的な構成例を示す回路図である。図9のクロック周波数判定回路20は、前述の図8に示したように、信号  $p(1) \sim p(n)$  を出力するNORゲートに関係するインバータ541～546の出力に接続されたノード  $node(1) \sim node(n)$  からそれぞれ取り出される信号（すなわち、ディレイ段信号）を  $Sd1 \sim Sdn$  とし、これらの信号から選択した2種のディレイ段信号  $Sdm$ 、 $Sdn$  を入力とする（ $m < n$ ）。すなわち、上記の概念的な実施例においては、ノード  $node(m)$  とノード  $node(n)$  からそれぞれ取り出されるディレイ段信号  $Sdm$  とディレイ段信号  $Sdn$  が、クロック周波数判定回路20によりクロック周波数の判定を行うために使用される判定信号である。

【0067】上記の信号  $Sd1 \sim Sdn$  は、“H”レベルである信号  $p(m)$  を境界として、より高いクロック周波数に対応する信号  $Sd1 \sim Sdm$  は“H”レベルになってお

り、より低いクロック周波数に対応する信号  $Sd(m+1) \sim Sdn$  は“L”レベルになっている。したがって、所定のクロック周波数に対応する信号  $Sdk$ （ $k < n$ ）を予め選定すれば、この信号  $Sdk$  は、入力クロック周波数が所定の周波数より低い場合に“H”レベルになり、入力クロック周波数が所定の周波数より高い場合に“L”レベルになる。したがって、この信号  $Sdk$  を、そのままクロック選択イネーブル信号  $CLKSEN$  として使用することができる。

【0068】換言すれば、図9のクロック周波数判定回路20は、DLL回路10にてロックオンされるディレイ段の段数を制御しているシフトレジスタ（図8）の特定のノードから、上記ディレイ段の段数が予め定められた段数（例えば、段数  $k$ ）になったか否かを判定するものである。しかしながら、信号  $Sdk$  をそのままクロック選択イネーブル信号  $CLKSEN$  とした場合、ノイズの影響を受けやすいという不都合が生ずるおそれがある。DRAM等を含む半導体装置に供給される外部クロックは、僅かではあってもノイズの影響を受ける。したがって、ディレイ回路部10dのディレイ段の段数（遅延量）は、ノイズの影響により若干変動することになる。ここで、外部クロックのクロック周波数が、信号  $Sdk$  に対応するような予め定められた周波数に近い場合、ディレイ回路部10dのディレイ段の段数がノイズの影響により変動すると、信号  $Sdk$  も“H”レベルと“L”レベルとの間を不規則に変動することになる。したがって、信号  $Sdk$  をそのままクロック選択イネーブル信号  $CLKSEN$  として用いることは、実用上好ましくない。

【0069】このような不都合な事態を解消するために、図9に示すクロック周波数判定回路20では、実際には、シフトレジスタの任意の2つのノード  $node(m)$  および  $node(n)$ （ $m < n$ ）からそれぞれ出力される2種の信号  $Sdm$ 、 $Sdn$  を入力とすることにより、クロック周波数変動に対するヒステリシス特性をもたせている。より詳しくいえば、クロック周波数判定回路20は、pMOS（pチャネル型）トランジスタ21と、互いに直列に接続されるnMOSTランジスタ22およびnMOSTランジスタ23とを備えている。インバータ24、25は、互いの出力を入力として、ラッチ回路を構成する。

【0070】このような構成のクロック周波数判定回路20において、ノード  $node(n)$  からの信号  $Sdn$  は、インバータ26を介して、pMOSTランジスタ21およびMOSTランジスタ22の各々のゲートに入力される。また一方で、ノード  $node(m)$  からの信号  $Sdm$  は、インバータ27を介して、nMOSTランジスタ23のゲートに入力される。さらに、インバータ24、25からなるラッチ回路から出力された信号は、3つのインバータ28a、28bおよび28cにより伝達され、クロック選択イネーブル信号  $CLKSEN$  として



クロック選択回路に供給される。

【0071】図10は、図9のクロック周波数判定回路の動作を説明するためのタイミングチャートである。図9および図10を参照しながら、以下に、クロック周波数判定回路20の動作を説明する。まず、外部クロックのクロック周波数が充分高い状態で（すなわち、クロック周期 $t_{CLK}$ が充分短い状態で）、2種の信号 $S_{dm}$ 、 $S_{dn}$ が共に“L”レベルになっているとする。このときに、pMOSトランジスタ21はオフ状態（非導通状態）になっており、nMOSトランジスタ22、23はオン状態（導通状態）になっている。したがって、インバータ24の入力は“L”レベルになり、インバータ24、25からなるラッチ回路は、“L”レベルのクロック選択イネーブル信号CLKSENを出力する。

【0072】この状態からクロック周波数が徐々に低くなると、信号 $S_{dm}$ が“H”レベルの状態になり、信号 $S_{dn}$ が“L”レベルの状態のままである。これによって、pMOSトランジスタ21はオフ状態になり、nMOSトランジスタ22はオン状態になるが、nMOSトランジスタ23はオフ状態になるので、インバータ24の入力は浮遊状態（フローティング状態）となる。したがって、インバータ24、25からなるラッチ回路は、インバータ24の出力が“H”レベルである状態を保持するので、クロック選択イネーブル信号CLKSENは依然として“L”レベルの状態を保持する。

【0073】この状態からクロック周波数がさらに低くなると、信号 $S_{dm}$ 、 $S_{dn}$ が共に“H”レベルの状態になる。このときに、pMOSトランジスタ21はオン状態であり、nMOSトランジスタ22、23は共にオフ状態になる。したがって、インバータ24の入力は“H”レベルになり（インバータ24、25からなるラッチ回路の出力は“L”レベルになり）、“H”レベルのクロック選択イネーブル信号CLKSENを出力する。このように、クロック選択イネーブル信号CLKSENの“L”レベルから“H”レベルへの変化は、2種の信号 $S_{dm}$ 、 $S_{dn}$ が共に変化することによって、ノイズに影響されことなく正確になされることになる。

【0074】この状態から、逆にクロック周波数が徐々に高くなっていくと、信号 $S_{dm}$ が“H”レベルの状態のままであり、信号 $S_{dn}$ が“L”レベルの状態になる。これによって、pMOSトランジスタ21はオフ状態であってnMOSトランジスタ22はオン状態になるので、nMOSトランジスタ23がオフ状態のまま、インバータ24の入力は浮遊状態となる。したがって、インバータ24、25からなるラッチ回路は、インバータ24の出力が“L”レベルの状態を保持するので、クロック選択イネーブル信号CLKSENは依然として“H”レベルの状態を保持する。

【0075】この状態からクロック周波数がさらに高くなると、信号 $S_{dm}$ 、 $S_{dn}$ が共に“L”レベルの状態にな

る。このときに、pMOSトランジスタ21はオフ状態になり、nMOSトランジスタ22、23は共にオン状態になる。したがって、インバータ24の入力は“L”レベルになり（インバータ24、25からなるラッチ回路の出力は“H”レベルになり）、“L”レベルのクロック選択イネーブル信号CLKSENを出力する。このように、クロック選択イネーブル信号CLKSENの“H”レベルから“L”レベルへの変化は、2種の信号 $S_{dm}$ 、 $S_{dn}$ が共に変化することによって、ノイズに影響されことなく正確になされることになる。

【0076】要約すれば、本発明の概念的な実施例に係るクロック周波数判定回路においては、クロック周波数が低くなる場合には、クロック周波数が信号 $S_{dn}$ に対応する第1の周波数まで到達して初めて、クロック選択イネーブル信号CLKSENが“H”レベルに変化する。また一方で、クロック周波数が高くなる場合には、クロック周波数が信号 $S_{dm}$ に対応する第2の周波数まで到達して初めて、クロック選択イネーブル信号CLKSENが“L”レベルに変化する。ここで、第1の周波数は、第2の周波数よりも低い。したがって、外部クロックのクロック周波数がノイズの影響で変動した場合でも、その変動の振幅が第1の周波数と第2の周波数との差よりも小さい限りは、クロック選択イネーブル信号CLKSENはノイズの影響を受けないことになる。このようにして、ノイズ変動に影響されにくいクロック選択イネーブル信号CLKSENを生成することが可能になる。

【0077】図11は、図4の実施例のクロック選択回路の具体的な構成例を示す回路図である。図11において、参照番号32は第1の制御回路部（分周器）、参照番号33は第2の制御回路部（分周器）、参照番号35は遅延部（遅延素子）、参照番号36は第1のラッチ回路部（RSフリップフロップ）、参照番号37は第2のラッチ回路部（RSフリップフロップ）、および、参照番号39はスイッチ部を示している。ここで、位相比較部34は、遅延部35と、第1のラッチ回路部36および第2のラッチ回路部37を備えて構成されている。

【0078】前述の図4の実施例においては、外部クロックの位相より所定の位相だけ遅れたDLLクロックDLLCLKを内部クロックとして利用する場合、DLL回路にてロックオンされたディレイ段の段数に基づいてリアルクロックRECLKとDLLクロックDLLCLKとの間で正確に位相比較が行えるか否かを、クロック周波数判定回路20により判定する。

【0079】前述したように、リアルクロックとDLLクロックとの間で正確に位相比較が行えると判定されたときには、“H”レベルのクロック選択イネーブル信号CLKSENがクロック選択回路30のスイッチ部39に入力される。後述するように、クロック選択回路30の位相比較部34においては、ウィンドウパルス信号 $S_w$ のウィンドウ内でリアルクロックの位相とDLLクロ

ックの位相とを比較することにより、相対的に早いほうの位相に対応するクロックが、出力信号ScaまたはSchによってスイッチ部39が制御されて取り出される。上記のような条件の下では、相対的に早いほうの位相に対応するクロックを選択する出力信号ScaまたはSchがスイッチ部39に入力され、半導体装置の内部クロックとしてリアルクロックRECLKまたはDLLクロックDLLCLKが選択される（選択クロック信号Sou<sub>t</sub>）。また一方で、クロック周波数が比較的高くなってリアルクロックとDLLクロックとの間で正確に位相比較が行えないと判定されたときには、“L”レベルのクロック選択イネーブル信号CLKSENがクロック選択回路30のスイッチ部39に入力される。このときには、スイッチ部39は、“L”レベルのクロック選択イネーブル信号CLKSENに基づいてリアルクロックの出力を抑制し、DLLクロックのみを出力するように動作する。すなわち、半導体装置の内部クロックとして、無条件にDLLクロックが選択される。

【0080】換言すれば、図11に示すクロック選択回路30は、クロック選択イネーブル信号CLKSENを供給するクロック周波数判定回路20の制御の下で、第1の信号であるリアルクロックと、第2の信号であるDLLクロックとの位相比較を正確に行うものである。図11において、第1の制御回路部32は、第1の信号のリアルクロックを、第3の信号のウィンドウパルス信号Sw<sub>i</sub>に応じて1/N分周（例えば、1/4分周）するものであり、また一方で、第2の制御回路部33は、第2の信号のDLLクロックを、第3の信号のウィンドウパルス信号Sw<sub>i</sub>に応じて1/N分周するものである。ここで、Nは2以上の整数を示している。

【0081】第2の制御回路部33からの出力信号Sbは、第1および第2のラッチ回路部36、37に供給され、また一方で、第1の制御回路部32からの出力信号Saは、第1のラッチ回路部36に供給されると共に、位相調整用の遅延素子からなる遅延部35を介して第2のラッチ回路部37に供給される。すなわち、本発明の概念的な実施例に係るクロック選択回路は、第1の信号および第2の信号を、それぞれ第3の信号を用いた第1の制御回路部32および第2の制御回路部33により同じタイミングで1/N分周（例えば、1/4分周）して出力信号Saおよび出力信号Sbとし、これらの分周された出力信号Sa、Sbを2つのラッチ回路部36、37を用いて位相比較するものである。このような位相比較の結果として、第1の信号の位相が第2の信号の位相よりも早いと判断された場合、第1の信号に対応する出力信号Scaが、第1のラッチ回路部36から出力される。また一方で、第2の信号の位相が第1の信号の位相よりも早いと判断された場合、第2の信号に対応する出力信号Schが、第2のラッチ回路部37から出力される。

【0082】ここで、第1および第2の制御回路部（分周器）32、33は、例えば、入力信号（第1の信号のリアルクロックと、第2の信号のDLLクロック）を1/4分周して、上記入力信号の初めの2周期に対応する期間が“H”レベルで次の2周期に対応する期間が

“L”レベルとなる信号を出力するものに限らず、上記入力信号の初めの1周期に対応する期間が“H”レベルで次の3周期に対応する期間が“L”レベルとなる信号を出力するものであってもよい。すなわち、第1および第2の制御回路部32、33は、YおよびZを正の整数、またY+Z=N（1/N分周の場合）として、第1および第2の入力信号の各々のY周期だけの期間が第1のレベル（例えば、“H”レベル）で、かつ、Z周期だけの期間が第2のレベル（例えば、“L”レベル）となる出力信号をそれぞれ生成するようになっている。

【0083】図12は、図11のクロック選択回路における位相比較部の構成例を示す回路図である。図12に示すように、位相比較部34は、リアルクロックRECLKを分周した信号Sa'（例えば、図11の第1の制御回路部32の出力信号Sa）、およびDLLクロックDLLCLKを分周した信号Sb'（例えば、図11の第2の制御回路部33の出力信号Sb）をラッチするラッチ回路部44と、リアルクロックRECLKとDLLクロックDLLCLKとの位相比較を行うためのタイミング信号を生成するタイミング発生回路部45とを備えている。さらに、位相比較部34は、上記のラッチ回路部44およびタイミング発生回路部45の出力信号を入力信号として使用することによって、リアルクロックRECLKまたはDLLクロックDLLCLKのいずれの位相が早いかを判定し、出力信号Sca'または出力信号Sch'（例えば、図11の第1のラッチ回路部36の出力信号Sca、または第2のラッチ回路部37の出力信号Sch）を生成する位相判定回路部46を備えている。

【0084】さらに詳しく説明すると、図12に示すように、ラッチ回路部44における第1のラッチ回路部36および第2のラッチ回路部37は、それぞれ2つのN ANDゲート361、362および371、372からなるRSフリップフロップとして構成されている。そして、第1のRSフリップフロップ（第1のラッチ回路部36）のセット入力にはリアルクロックRLCLKを分周した信号Sa'が供給され、また一方で、第1のRSフリップフロップのリセット入力にはDLLクロックDLLCLKを分周した信号Sb'が供給されている。さらに、第2のRSフリップフロップ（第2のラッチ回路部37）のセット入力には上記信号Sa'が遅延部35を介して供給され、また一方で、第2のRSフリップフロップのリセット入力には上記信号Sb'が供給されている。第1および第2のRSフリップフロップの出力信号Q<sub>1</sub>、Q<sub>1</sub>、Q<sub>2</sub>、およびQ<sub>2</sub>の適切な組み合わせにより位相比較結果を正しく判定するためには、上



記のようなタイミング信号が必要になる。上記の位相比較部34では、信号 $Sa'$ 、 $Sb'$ の立ち上がりのタイミングで位相比較結果を判定するようにしている。

【0085】ここで、第1のRSフリップフロップ（または第2のRSフリップフロップ）において、第1のNANDゲート361（または371）の第1の入力IN11は、同RSフリップフロップのリセット入力とされ、また一方で、同第1のNANDゲート361（または371）の第2の入力IN12は、第2のNANDゲート362（または372）の出力OUT2と共に同RSフリップフロップの出力 $Q_1$ （または $Q_2$ ）とされている。さらに、第2のNANDゲート362（または372）の第1の入力IN21は、同RSフリップフロップのセット入力とされ、また一方で、第2のNANDゲート362（または372）の第2の入力IN22は、第1のNANDゲート361（または371）の出力OUT1と共に同RSフリップフロップの反転出力 $\overline{Q_1}$ （または $\overline{Q_2}$ ）とされている。

【0086】さらに、タイミング発生回路部44は、信号 $Sa'$ および $Sb'$ を入力信号とするNANDゲート450と、このNANDゲート450の出力信号を遅延させるための直列接続されたインバータ451、453および455と、コンデンサ452、454と、NORゲート456とを備えている。このNORゲート456には、NANDゲート450の出力信号と、3段目のインバータ455の出力信号とが入力される。上記のインバータ451、453および455等によって立ち上がりのタイミングを調整したパルス（タイミング信号）が、NORゲート456から出力される。

【0087】さらに、位相判定回路部46は、第1のラッチ回路部36の出力信号 $\overline{Q_1}$ 、 $Q_1$ がそれぞれ入力される2つのNANDゲート465、466と、これらのNANDゲート465、466の出力端子に接続され、かつ、2つのNANDゲート467、468からなる第1の位相判定用ラッチ回路部とを備えている。また一方で、位相判定回路部46は、第2のラッチ回路部 $\overline{Q_2}$ 、 $Q_2$ がそれぞれ入力される2つのNANDゲート461、462と、これらのNANDゲート461、462の出力側に接続され、かつ、2つのNANDゲート463、464からなる第2の位相判定用ラッチ回路部とを備えている。上記のNANDゲート461、462、465および466の各々の一方の入力端子には、タイミング発生回路部45のタイミング信号が入力される。

【0088】さらにまた、位相判定回路部46は、2つのNANDゲート470、472と、これらのNANDゲートの出力端子にそれぞれ接続される2つのインバータ471、473とを備えている。一方のNANDゲート470の2つの入力端子には、第1の位相判定用ラッチ回路部の出力信号と、第2の位相判定用ラッチ回路部

の出力信号が入力される。他方のNANDゲート472の2つの入力端子には、第1の位相判定用ラッチ回路部の反転出力信号と、第2の位相判定用ラッチ回路部の反転出力信号が入力される。

【0089】ここで、インバータ471から出力される出力信号 $Sca'$ は、リアルクロックRECLKの位相がDLLクロックの位相よりも早いときに“H”レベルになる。また一方で、インバータ473から出力される出力信号 $Scb'$ は、DLLクロックの位相がリアルクロックRECLKの位相よりも早いときに“H”レベルになる。遅延部35の前と後で上記2つのクロックの位相の早さが異なる場合は、信号 $Sa'$ と信号 $Sb'$ の位相の早さは同じであると判定され、出力信号 $Sca'$ および $Scb'$ は共に“L”レベルになる。しかしながら、遅延部35を通す前では信号 $Sa'$ の位相が信号 $Sb'$ の位相よりも早いので、リアルクロックRECLKを選択するようにスイッチ回路が動作する。

【0090】図13は、図12の位相比較部におけるNANDゲートの一例を示す回路図である。図13に示すように、図12の各々のNANDゲート（例えば、361、362、371および372）は、2つのpMOSトランジスタP1、P2、および、2つのnMOSトランジスタN1、N2を備えて構成されている。

【0091】第1のpMOSトランジスタP1のソースは、第1の電源線（高電位電源線）Vddに接続され、ドレインは同NANDゲートの出力OUT1（またはOUT2）に接続され、そして、ゲートは同NANDゲートの第1の入力IN11（またはIN21）に接続されている。また、第2のpMOSトランジスタP2のソースは第1の電源線Vddに接続され、ドレインは同NANDゲートの出力OUT1（またはOUT2）に接続され、そして、ゲートは同NANDゲートの第2の入力IN12（またはIN22）に接続されている。

【0092】さらに、第1のnMOSトランジスタN1のソースは第2のnMOSトランジスタN2のドレインに接続され、ドレインは同NANDゲートの出力OUT1（またはOUT2）に接続され、そして、ゲートは同NANDゲートの第1の入力IN11（またはIN21）に接続されている。また、第2のnMOSトランジスタN2のソースは第2の電源線（低電位電源線）Vssに接続され、そして、ゲートは同NANDゲートの第2の入力IN12（またはIN22）に接続されている。ここでは、NANDゲートを構成するトランジスタとしてMOSトランジスタ（P1、P2、N1およびN2）を用いているが、必ずしもMOS（MIS）トランジスタに限定されるものではない。さらに、位相比較部34の構成も、上記のものに限定されず様々な構成があり得る。

【0093】図12および図13に示すように、位相比較部34における第1および第2のラッチ回路部（RS

フリップフロップ)36、37における各セット入力、リセット入力等の構成を規定することにより、入力信号(リアルクロックおよびDLLクロック)の変化に対する出力信号( $Q_1$ 、 $\neg Q_1$ 、 $Q_2$ 、および $\neg Q_2$ )の応答のばらつきを低減して正確な位相比較を行うことができる。すなわち、NANDゲートにおける2つの入力は完全に対称な構成とはなっていないため、各入力(IN1、IN2)に供給する信号を規定しておかないと、微妙な動作のずれが生じることになるからである。

【0094】図14は、図11のクロック選択回路における制御回路部の構成例を示す回路図である。ただし、ここでは、前述の第1の制御回路部32または第2の制御回路部33のいずれか一方の構成を代表して示すこととする。図14に示すように、第1の制御回路部32(または第2の制御回路部33)は、第1の入力信号のリアルクロック(または第2の入力信号のDLLクロックRECLK)と、第3の信号のウィンドウパルス信号Swを入力として、同第3の信号により分周(1/4分周)されたリアルクロックに対応する出力信号Sa(またはSb)を出力するものであり、複数のNANDゲート331~338および複数のインバータ321~325を備えて構成されている。第1の入力信号のリアルクロックは、インバータ322を介してNANDゲート331、332のいずれか一方の入力に供給されると共に、インバータ322と、インバータ323~325で構成された遅延部320とを介して3入力のNANDゲート335、336の第1の入力に供給されている。さらに、NANDゲート332の他方の入力には第3の信号が供給され、また、NANDゲート331の他方の入力にはインバータ321を介して第3の信号が供給されている。なお、3入力のNANDゲート335、336の第2の入力には、第1の入力信号のリアルクロックが直接供給されている。

【0095】NANDゲート331、332の出力は、NANDゲート333、334で構成される第1のラッチ回路330に保持され、同第1のラッチ回路330の出力は、それぞれ3入力NANDゲート335、336の第3の入力に供給され、第1の入力信号のリアルクロックが“L”レベルから“H”レベルへ立ち上がり、かつ、遅延部320で遅延された信号が“H”レベルを保持しているタイミングで、第1のラッチ回路330の出力をNANDゲート337、338で構成される第2のラッチ回路339へ転送するようになっている。これによって、第1の信号(または第2の信号)から第3の信号を使用して、分周された出力信号Sa(Sb)を得ることができる。

【0096】すなわち第1の信号(または第2の信号)をインバータ322で反転した信号をトリガとして、第1のラッチ回路330に第3の信号を格納し、さらに、同第1のラッチ回路330に保持された相補の信号を、

それぞれ第1の信号(または第2の信号)をトリガとして第2のラッチ回路339に格納し、そのデータを出力するようになっている。

【0097】図15は、図11のクロック選択回路においてリアルクロックまたはDLLクロックのいずれか一方を選択して出力する機能を実現するための回路構成例を示す回路図である。換言すれば、図15の回路構成例は、本発明の概念的な実施例に係るクロック選択回路の他の構成例を示すものである。図15と図11および図12との比較から明らかなように、図15に示すクロック選択回路は、第1の制御回路部32、第2の制御回路部33、遅延部35、第1のラッチ回路部36'、および第2のラッチ回路部37'の他に、NANDゲート380~385が設けられ、入力IN01および入力IN02にそれぞれ供給されるリアルクロック(第1の信号)およびDLLクロック(第2の信号)の内の一方を選択して出力するようになっている。ただし、図11では、2つのラッチ回路部36、37が互いに並列になっているが、図15では、2つのラッチ回路部36'、37'が直列になっている点に注意すべきである。ここで、第3の信号としては、例えば、図20のようなリアルクロックを1/4分周した信号を使用し、そして、第1の信号として入力バッファから出力されたままの信号(DLL回路による位相制御をする前の信号、すなわち、リアルクロック)を使用することができる。

【0098】ここで、遅延部35は、直列接続されたインバータ351~353、容量355、356、およびNORゲート354により構成され、同遅延部35により生成された所定のパルス幅を有する信号により第1のラッチ回路部36'に保持されたデータ(相補出力)が第2のラッチ回路部37'へ伝達され、そして、同第2のラッチ回路部37'の出力により選択された一方のNANDゲート(383、384)およびNANDゲート385を介して第1の信号または第2の信号(リアルクロックまたはDLLクロックのいずれか一方)が出力されるようになっている。

【0099】図16は、図11のクロック選択回路におけるスイッチ部の概念的な構成を示す回路図である。図16に示すように、スイッチ部39は、リアルクロックを選択クロック信号Soutとして出力するか否かを選択する第1のスイッチ回路390と、DLLクロックを選択クロック信号Soutとして出力するか否かを選択する第2のスイッチ回路392とを有している。これらの第1および第2のスイッチ回路390、392の選択動作は、クロック選択イネーブル信号CLKSENと、クロック位相比較部34からの2種の出力信号Sca、Scbにより制御される。

【0100】前述したように、外部クロックのクロック周波数が比較的高い場合には、クロック選択イネーブル信号CLKSENが“L”レベルになり、リアルクロック

クが出力されず、DLLクロックのみが出力されるように第1および第2のスイッチ回路390、392の動作が制御される。すなわち、クロック周波数が比較的高い場合には、クロック選択回路による2つのクロックの位相比較は行わないこととし、常に、DLLクロックを内部クロックとして使用することとする。

【0101】また一方で、外部クロックのクロック周波数が比較的低い場合には、クロック選択イネーブル信号CLKSENが“H”レベルになり、リアルクロックとDLLクロックとの位相比較を行った結果として生成される2種の出力信号Sca、Scbに基づき、相対的に早い方の位相に相当するクロックが出力されるように第1および第2のスイッチ回路390、392の動作が制御される。

【0102】図17は、図11のスイッチ部の一の具体的な構成を示す回路図である。図17に示すスイッチ部39は、一つのインバータ393と、3つのNANDゲート394、395および396とを備えている。インバータ393には、位相比較部34の一方の出力信号Scaが入力される。1番目のNANDゲート394の2つの入力端子には、インバータ393の出力信号と、位相比較部34の他方の出力信号Scbがそれぞれ入力される。2番目のNANDゲート395の2つの入力端子には、リアルクロックRECLKと、1番目のNANDゲート394の出力信号がそれぞれ入力される。3番目のNANDゲート396の2つの入力端子には、上記出力信号ScbとDLLクロックDLLCLKがそれぞれ入力される。

【0103】図17のスイッチ部39において、位相比較部39の出力信号Sca、Scbが共に“L”レベルになっているときは、自動的にリアルクロックRECLKが選択されるようになっている。また一方で、一方の出力信号Scaが“H”レベル、他方の出力信号が“L”レベルになっているときは、リアルクロックRECLKが選択されるようになっている。さらに、一方の出力信号Scaが“L”レベル、他方の出力信号が“H”レベルになっているときは、DLLクロックDLLCLKが選択されるようになっている。

【0104】図18は、図4の実施例の分周回路の具体的な構成例を示す回路図である。図17に示すように、分周器4は、複数のNANDゲート(412~417、419、420、422~427、429および430)および複数のインバータ(418、428)からなる2段のカウンタ411、421により構成されている。

【0105】図18に示す分周器40は、入力側に供給されたリアルクロック等の入力信号を受け取り、2段のカウンタにより分周してリアルクロックおよびDLLクロックに対するウィンドウを提供するための第3の信号(例えば、ウィンドウパルス信号Sw)を出力するもの

である。なお、分周器4は、複数のNANDゲートおよびインバータからなる2段のカウンタで構成するものに限定されず、様々な論理ゲートの組み合わせとして構成することができることはいうまでもない。

【0106】図19は、本発明の具体的な実施例の構成を示す回路ブロック図である。図19に示す具体的な実施例では、リアルクロックおよびDLLクロックをそれぞれ分周する機能を有する第1の分周回路41および第2の分周回路42を、クロック選択回路30aの入力側に設けている。図19のクロック選択回路30aは、前述の概念的な実施例に示したクロック選択回路(図4)と同様に、選択イネーブル信号CLKSENを生成するクロック周波数判定回路20の制御の下で、リアルクロックの位相とDLLクロックの位相とを比較し、データDATAを同期させるクロックとして、相対的に早いほうの位相に対応するクロックを選択するように構成される。さらに、上記クロック選択回路30aには、リアルクロックおよびDLLクロックを分周して得られる2つの分周クロック信号の他に、リアルクロックおよびDLLクロックを分周しない信号も入力される。

【0107】ここで、外部クロックのクロック周波数が比較的高くなった場合は、DLLクロックを分周しない信号を容易に選択出力することが可能になる。また一方で、外部クロックのクロック周波数が比較的低くなった場合は、リアルクロックおよびDLLクロックを分周して得られる2つの分周クロック信号をクロック選択回路30aに入力し、このクロック選択回路30a内で、リアルクロックを分周した分周クロック信号の位相とDLLクロックを分周した分周クロック信号の位相とを比較して相対的に早いほうの位相に対応するクロックを正確に検出することができる。さらに、DLL回路10にてロックオンされたディレイ段の段数が極端に多かった場合には、DLL回路の動作を停止させ、リアルクロックを分周しない信号を容易に選択出力することが可能になる。なお、ウィンドウパルス信号Swを生成するための第3の分周回路43は、前述の概念的な実施例(図4)における分周回路40とほぼ同じ機能を有するものである。

【0108】図19の具体的な実施例における第1の分周回路41および第2の分周回路42では、正確な位相比較を行うために、同じタイミングで分周を行うことが必要である。このために、ウィンドウパルス信号Swを第1および第2の分周回路41、42に同時に供給するようにしている。上記の具体的な実施例においても、前述の概念的な実施例と同様に、外部クロックのクロック周波数が比較的高い場合でも、リアルクロックの位相とDLLクロックの位相とのクロック位相比較を行うか否かの判断を適切に行うことによって、位相の早いほうのクロックを正確に選択することができる。それゆえに、充分広範囲のクロック周波数に対応することが可能にな

る。

【0109】

【発明の効果】以上説明したように、本発明の半導体装置によれば、第1に、外部クロックのクロック周波数の判定結果に基づき、リアルクロック等の第1のクロックとDLLクロック等の第2のクロックとの位相比較を行うか否かを制御しているので、両方のクロックをクロック周波数に応じて適切に使うことができる。それゆえに、従来よりもはるかに広範囲のクロック周波数に対応することが可能になり、また一方で、クロック周波数によってはDLL回路等の動作を停止させることによって消費電力を最小限に抑制することが可能になる。

【0110】さらに、本発明の半導体装置によれば、第2に、DLL回路等にてロックオンされたディレイ段の段数を検出することによって、リアルクロック等の第1のクロックとDLLクロック等の第2のクロックとの位相比較を行うか否かの制御を正確に行うことができるので、クロックの選択切り替えがスムーズに行われる。さらに、本発明の半導体装置によれば、第3に、クロック周波数判定部にヒステリシスをもたせているので、このクロック周波数判定部の判定結果が半導体装置の動作環境により頻繁に変動するのを防止することが可能になる。

【0111】さらに、本発明の半導体装置によれば、第4に、クロック周波数がある基準値も高くなった場合は、第1のクロックと上記第2のクロックとの位相比較を行わずにDLLクロック等の第2のクロックを無条件に選択しているので、特にクロック周波数の高い領域において、比較的広範囲のクロック周波数に対応することが可能になる。

【図面の簡単な説明】

【図1】本発明の原理構成を示すブロック図である。

【図2】本発明の半導体装置が適用されるシンクロナスDRAMの概略的構成を示すブロック図である。

【図3】図2のシンクロナスDRAMの動作を説明するためのタイミングチャートである。

【図4】本発明の概念的な実施例の構成を示す回路ブロック図である。

【図5】クロック周波数とクロックアクセス時間との関係に、本発明の半導体装置の動作を付け加えたグラフである。

【図6】図4の実施例のDLL回路の具体的な構成例を示す回路ブロック図である。

【図7】図6のDLL回路のディレイラインの構成例を示す回路図である。

【図8】図6のDLL回路のシフトレジスタの構成例を示す回路図である。

【図9】図4の実施例のクロック周波数判定回路の具体的な構成例を示す回路図である。

【図10】図9のクロック周波数判定回路の動作を説明

するためのタイミングチャートである。

【図11】図4の実施例のクロック選択回路の具体的な構成例を示す回路図である。

【図12】図11のクロック選択回路における位相比較部の構成例を示す回路図である。

【図13】図12の位相比較部におけるNANDゲートの構成例を示す回路図である。

【図14】図11のクロック選択回路における制御回路部の構成例を示す回路図である。

【図15】図11のクロック選択回路においてリアルクロックまたはDLLクロックのいずれか一方を選択して出力する機能を実現するための回路構成例を示す回路図である。

【図16】図11のクロック選択回路におけるスイッチ部の概念的な構成を示す回路図である。

【図17】図11のスイッチ部の一部の具体的な構成を示す回路図である。

【図18】図4の実施例の分周回路の具体的な構成例を示す回路図である。

【図19】本発明の具体的な実施例の構成を示す回路ブロック図である。

【図20】従来のリアルクロックとDLLクロックとのクロック位相比較機能を有する半導体装置の構成例を示す回路ブロック図である。

【図21】従来の半導体装置においてリアルクロックとDLLクロックとのクロック位相比較を行う場合の問題点を説明するためのタイミングチャートである。

【符号の説明】

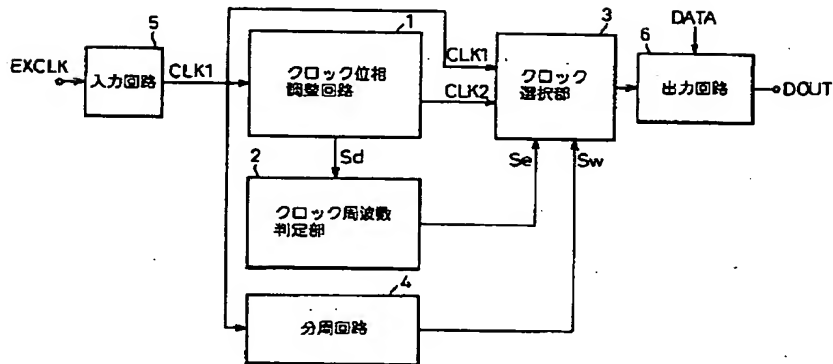
- 1…クロック位相調整回路
- 2…クロック周波数判定部
- 3…クロック選択部
- 4…分周回路
- 5…入力回路
- 6…出力回路
- 10…DLL回路
- 10d…ディレイ回路部
- 11…分周器
- 12…位相検出器
- 13…第1のディレイライン
- 14…第2のディレイライン
- 15…シフトレジスタ
- 20…クロック周波数判定回路
- 21…pMOSトランジスタ
- 22…nMOSトランジスタ
- 23…nMOSトランジスタ
- 24…第1のラッチ用インバータ
- 25…第2のラッチ用インバータ
- 26…第1の入力側インバータ
- 27…第2の入力側インバータ
- 30、30a…クロック選択回路

32...第1の制御回路部  
 33...第2の制御回路部  
 34...位相比較部  
 35...遅延部  
 36...第1のラッチ回路部  
 37...第2のラッチ回路部  
 39...スイッチ部  
 40...分周回路

41...第1の分周回路  
 42...第2の分周回路  
 43...第3の分周回路  
 44...ラッチ回路部  
 45...タイミング発生回路部  
 46...位相判定回路部  
 50...入力バッファ  
 60...出力バッファ

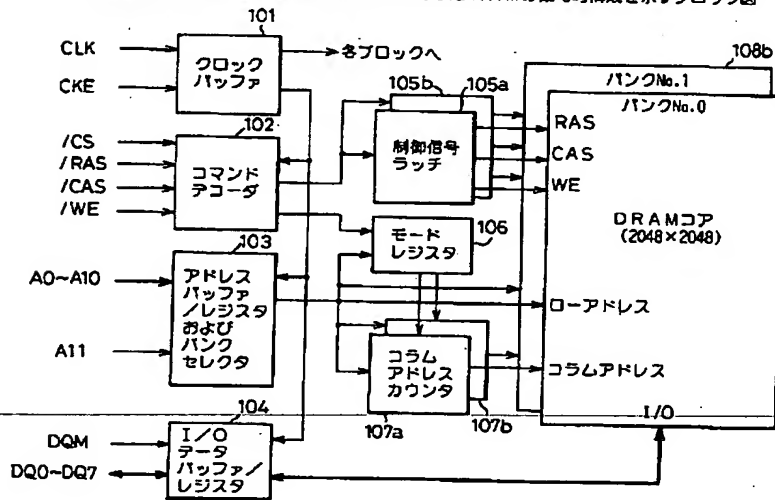
【図1】

本発明の原理構成を示すブロック図



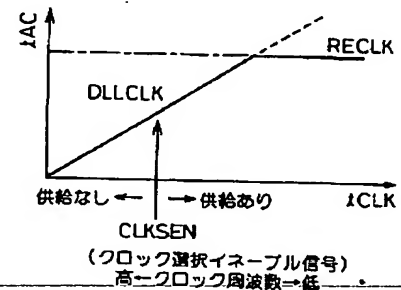
【図2】

本発明の半導体装置が適用されるシンクロナスDRAMの概略的構成を示すブロック図



【図5】

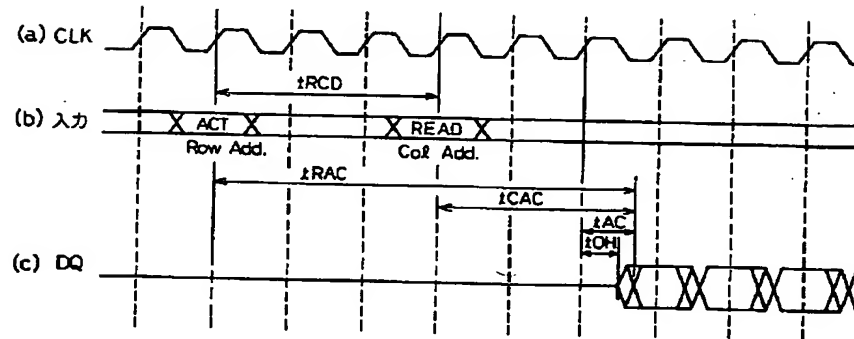
図 5  
 クロック周波数とクロックアクセス時間との関係に、  
 本発明の半導体装置の動作を付け加えたグラフ



【図3】

図2のシンクロナスDRAMの動作を説明するためのタイミングチャート

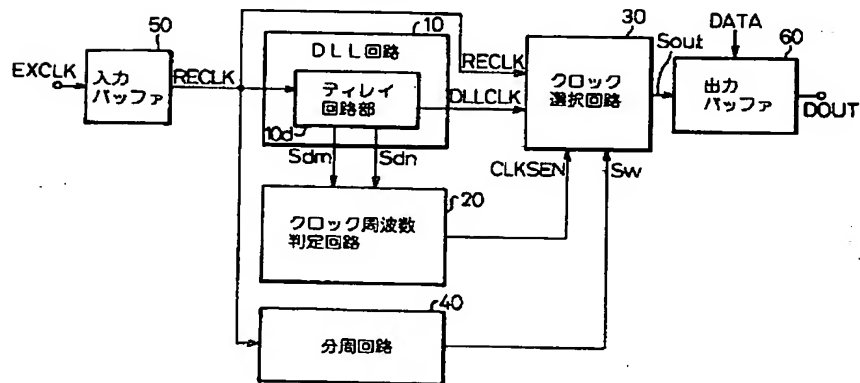
図



【図4】

本発明の概念的な実施例の構成を示す回路ブロック図

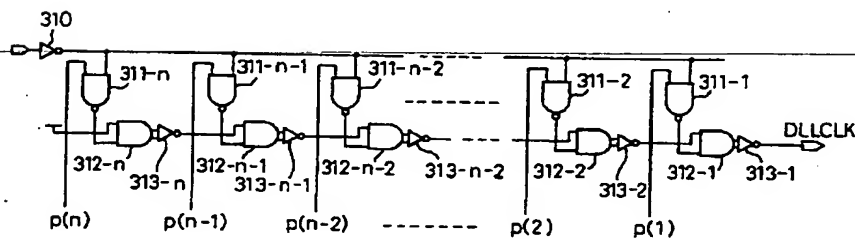
図



【図7】

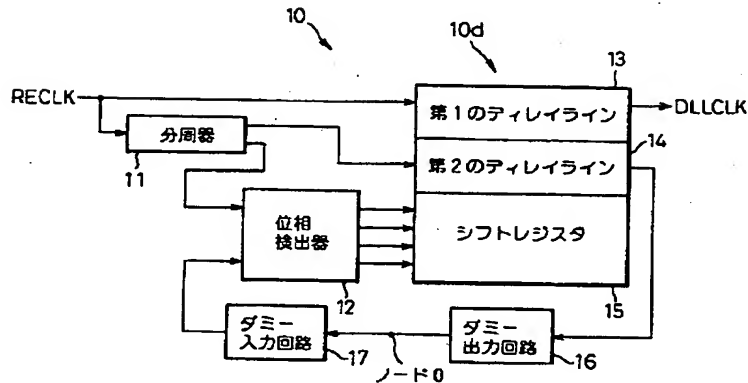
図6のDLL回路のディレイラインの構成例を示す回路図

図



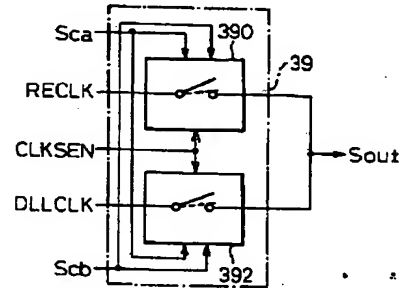
【図6】

図4の実施例のDLL回路の具体的な構成例を示す回路ブロック図



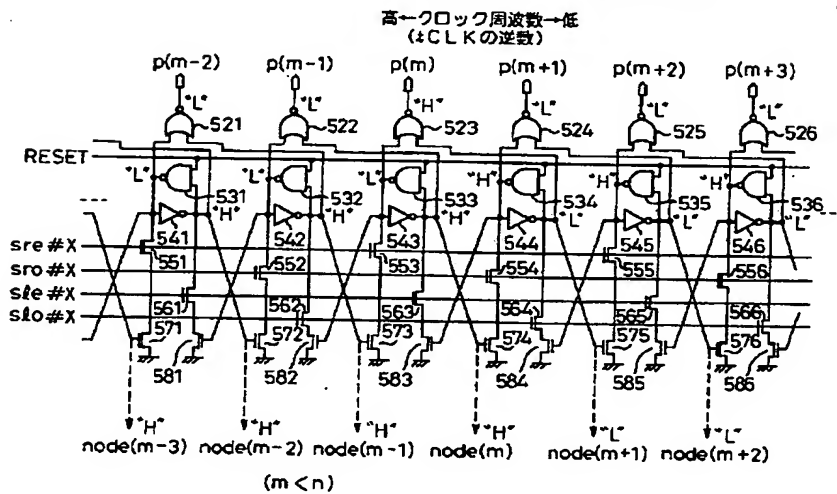
【図16】

図11のクロック選択回路におけるスイッチ部の概念的な構成を示す回路図



【図8】

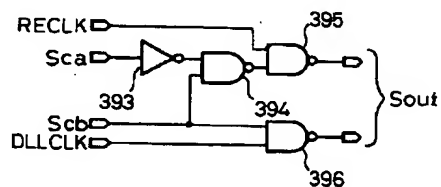
図6のDLL回路のシフトレジスタの構成例を示す回路図



【図17】

図17

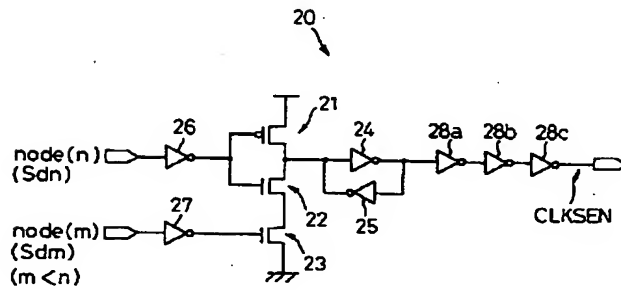
図11のスイッチ部の一の具体的な構成を示す回路図



【図9】

図4の実施例のクロック周波数判定回路の具体的な構成例を示す回路図

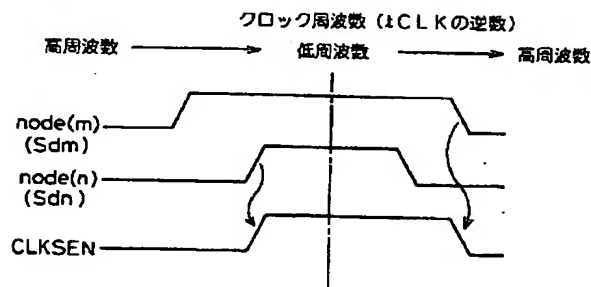
図9



【図10】

図9のクロック周波数判定回路の動作を説明するためのタイミングチャート

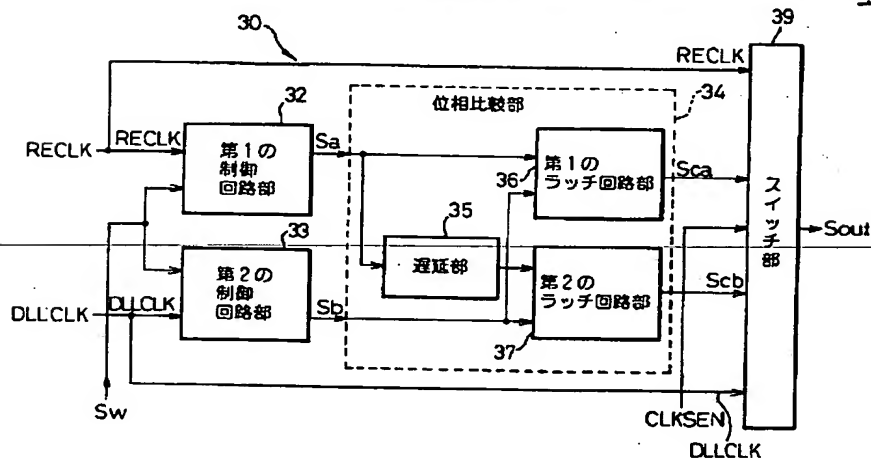
図10



【図11】

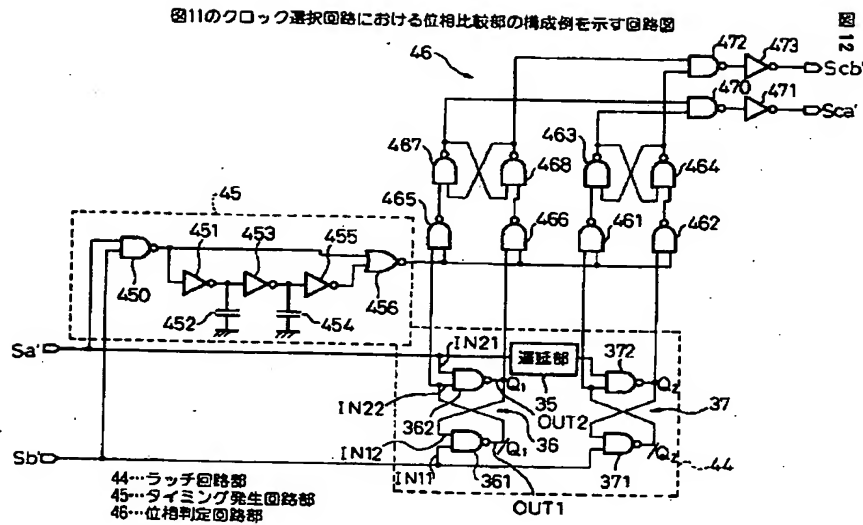
図4の実施例のクロック選択回路の具体的な構成例を示す回路ブロック図

図11





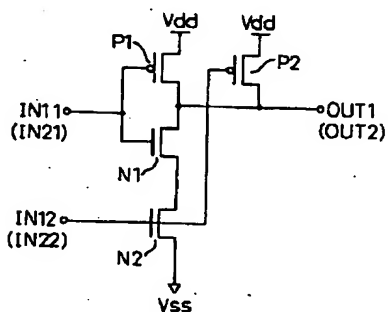
【図12】



【図13】

図13

図12の位相比較部におけるNANDゲートの構成例を示す回路図

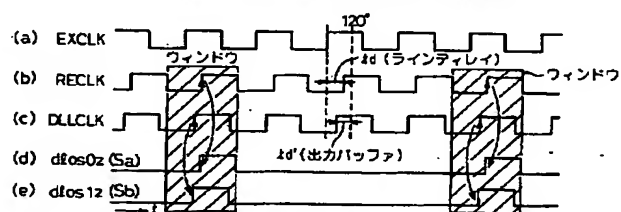


【図21】

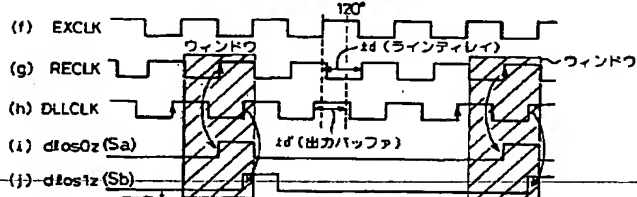
図21

従来の半導体装置においてリアルクロックとDLLクロックとのクロック位相比較を行う場合の問題点を説明するためのタイミングチャート

(1)  
クロック周波数(クロック周期 $\propto$ CLKの逆数)が比較的低いとき

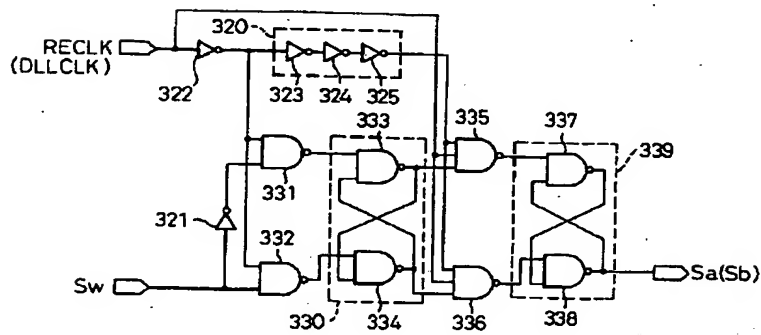


(2)  
クロック周波数が比較的高いとき



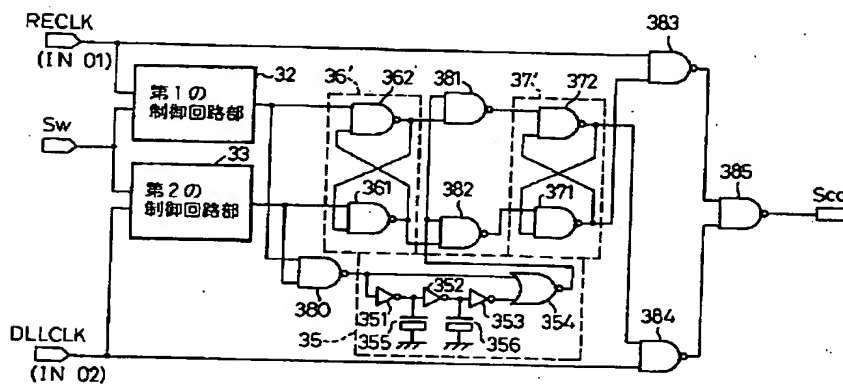
【図14】

図11のクロック選択回路における制御回路部の構成例を示す回路図



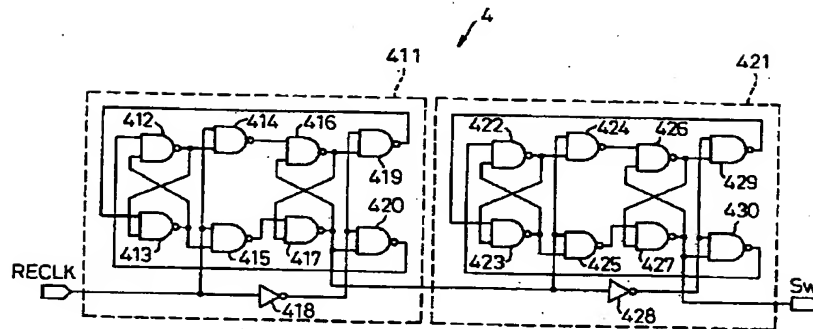
【図15】

図11のクロック選択部においてリアルクロックまたはDLLクロックのいずれか一方を選択して出力するための回路構成例を示す回路図



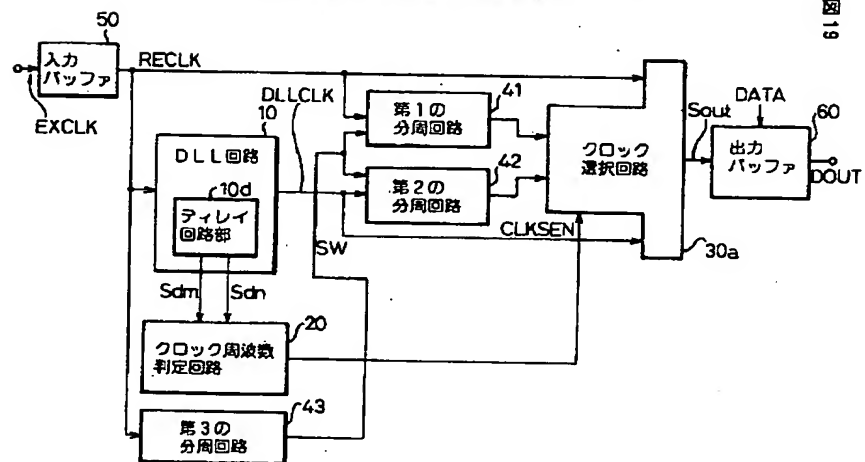
【図18】

図4の実施例の分周回路の具体的な構成例を示す回路図

図  
18

【図19】

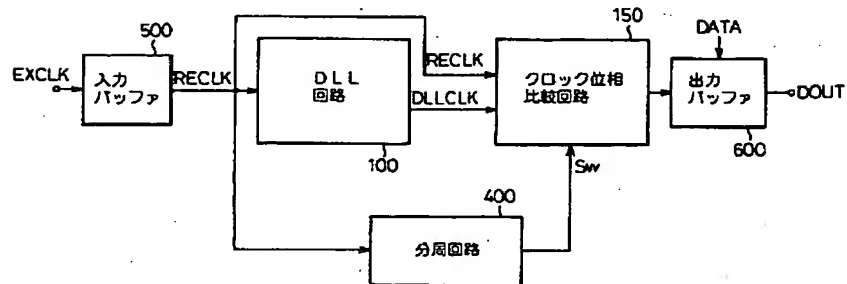
本発明の具体的な実施例の構成を示す回路ブロック図

図  
19

【図20】

従来のリアルクロックとDLSクロックとのクロック位相比較機能を有する半導体装置の構成例を示す回路ブロック図

図20



フロントページの続き

(51)Int. Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 1/04

3 3 0 A

(72)発明者 江波 聡  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 瀧田 雅人  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 北本 綾子  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 中村 俊和  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 川畑 邦範  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 長谷川 正智  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 古賀 徹  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 石井 祐樹  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内